



UNIVERSITAT POLITÈCNICA DE CATALUNYA

DEPARTAMENT D'ENGINYERIA ELECTRÒNICA

Diseño Microelectrónico de Controladores para Convertidores Conmutados Continua-Continua

Tesis doctoral presentada
para la obtención del título de
Doctor Ingeniero de Telecomunicación por

Eduard Alarcón Cot

Director:

Dr. Alberto Poveda López

Barcelona, Noviembre de 1999

2.11 Síntesis de controladores difusos

La argumentación anterior interpreta la operación de un controlador difuso Takagi-Sugeno como un sistema no lineal que establece una subdivisión topológica del espacio multidimensional de aproximación de una función no lineal en zonas localizadas, a cada una de las cuales le es asignado un modelo analítico local. En base a dicha argumentación cabe plantear un método de síntesis de sistemas difusos que, en virtud de la propiedad de aproximación universal, conlleva un método de síntesis de funciones no lineales multidimensionales, y que, por extensión, sienta las bases para la síntesis de sistemas dinámicos no lineales, como será tratado en un apartado subsiguiente.

El problema de aproximación algebraica no lineal multidimensional mediante sistemas TSK difusos está constituido, por mor del argumento anterior, por dos subproblemas diferenciados, a saber, la división del universo de discurso con características tanto locales como interpolativas (propia a los antecedentes) y el establecimiento de modelos locales (propios a los consecuentes).

2.11.1 Subdivisión del espacio de aproximación

Por una parte, la propuesta de síntesis de la partición del espacio multidimensional requiere de un tipo de funciones base multidimensionales que, si bien presenten características difusas de transición suave (que les confiere capacidad interpolativa), presenten también una zona de credibilidad máxima al modelo local. Este tipo de división se consigue mediante la combinación mediante cualquier norma- t (como modelo de la implicación de Mamdani, aplicada para la obtención de funciones base localizadas multidimensionales) de funciones base o de pertenencia unidimensionales de tipo pseudotrapezoidal, que ya han sido propuestas en el apartado de normalización por su capacidad de solución al problema de la no acotación en los extremos –véase (2.178) y las definiciones asociadas- y que se recuerdan a continuación.

$$\Lambda(u; u_a, u_b, u_c, u_d) = \begin{cases} I(u) & u \in [u_a, u_b) \\ 1 & u \in [u_b, u_c) \\ D(u) & u \in (u_c, u_d] \\ 0 & u = \{u \mid u \in U, u \notin [u_a, u_d]\} \end{cases} \quad (2.265)$$

Este tipo de funciones pseudotrapezoidales presenta como factor diferenciado la inclusión de un intervalo de pertenencia unitaria $-(u_b, u_c)-$ (y que resulta en un hiperparalelepípedo en su combinación multidimensional), a diferencia de las clásicas funciones triangulares o gaussianas cuyo intervalo o soporte de pertenencia unitaria deviene puntual, si bien que formalmente éstas estén incluidas en la definición genérica (2.265).

La interpretación del intervalo de pertenencia unitaria como un soporte de credibilidad máxima del modelo local (o una asignación íntegra del modelo local correspondiente) así como la interpretación de los intervalos estrictamente acotados (u_a, u_b) y (u_c, u_d) como soporte de la acción de interpolación entre modelos, justifica proponer una distribución *completa* de funciones base de pertenencia pseudotrapezoidales según se muestra en la figura 2.59a, distribución en la que el soporte de máxima credibilidad es estrictamente disjunto del soporte de interpolación, y no se requiere un mallado uniforme. Obsérvese que las distintas conformaciones de las funciones $I(u)$ y $D(u)$ sólo afectan la suavidad de interpolado. Obsérvese el hecho de que funciones base RBF de tipo *thin-plate* (2.128) o de tipo gaussiano de exponenciaciones mayores que la cuadrática persiguen obtener el comportamiento constante de soporte de credibilidad que la funciones pseudotrapezoidales incorporan de forma explícita.

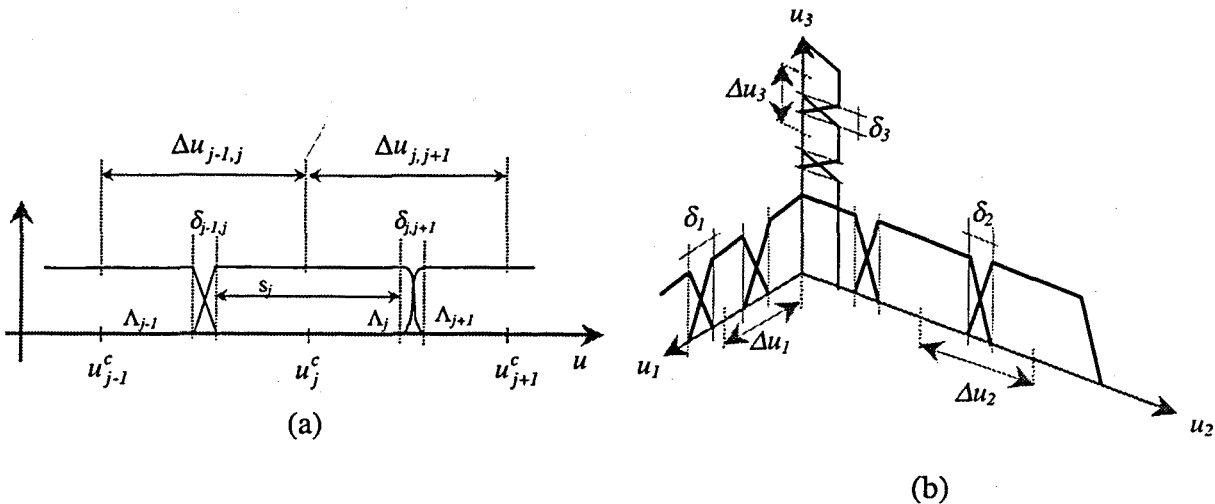


Figura 2.59 (a) Conjunto *completo* unidimensional de funciones pseudotrapezoidales unidimensionales (b) Distribución de funciones para la síntesis de funciones pseudotrapezoidales en un espacio tridimensional.

Nótese que la anterior distribución de funciones pseudotrapezoidales presenta un conjunto de notables propiedades que la convierten en candidata adecuada para la síntesis genérica. Dicha distribución, además de establecer la solución al problema de la no acotación en extremos,

presenta la propiedad de estar bien condicionada frente a la operación de normalización, de hecho detenta la propiedad de autonormalización –véanse las figuras 2.30 y 2.31- que implica la redundancia en el uso de dicha operación, justificando, por equivalencia, el modelo agregado simple, resultado de obvias implicaciones en cuanto a la complejidad del modelo o su implementación. Por su parte, dicha distribución de funciones de segmentación del universo de discurso, que está definida por la separación entre las mismas Δu , el soporte de interpolación δ y el soporte de asignación completa de modelo s (dependiente esta última de aquellos dos anteriores), fundamenta la noción de interpolación entre modelos locales.

Las figuras 2.59b y 2.60 ilustran, respectivamente, un ejemplo de distribución de dicho banco completo sobre las tres dimensiones de un espacio tridimensional de aproximación, así como un ejemplo de conformación de funciones base bidimensionales pseudotrapezoidales, de comportamiento invariante ante la normalización, que justifican por tanto el uso de la versión no normalizada (2.259) de la agregación e interpolación de un sistema difuso TSK.

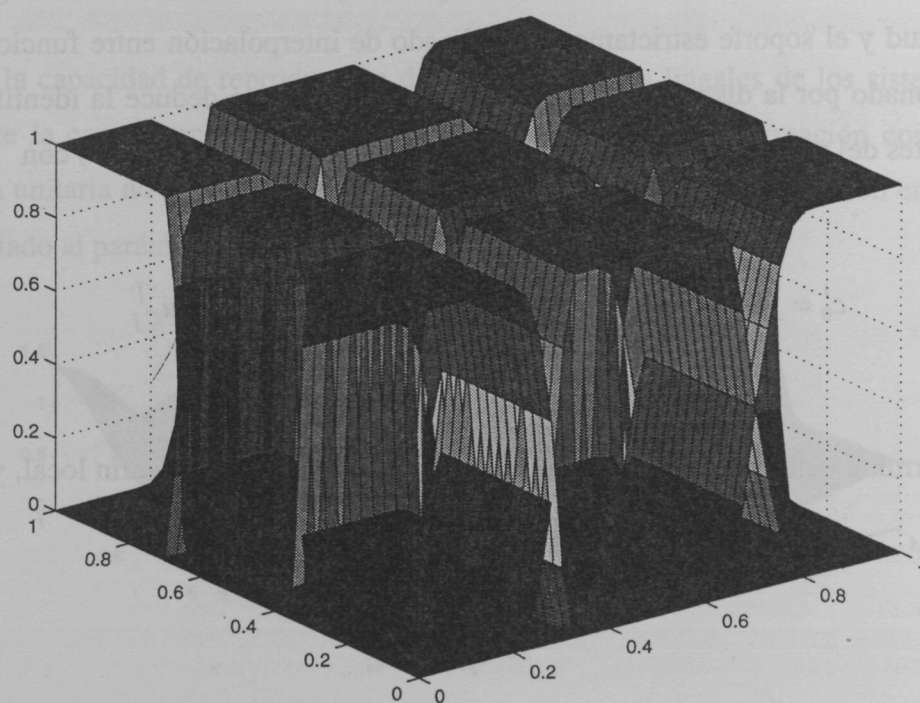


Figura 2.60 Distribución bidimensional de funciones base pseudotrapezoidales.

2.11.2 Establecimiento de modelos locales

Por otra parte, como propuesta de síntesis del conjunto de consecuentes analíticos o modelos locales de TSK-1, bajo la hipótesis de distribución pseudotrapezoidal y completa de antecedentes formada por $l=1, \dots, (m^n=M)$ conjuntos, considérense los primeros términos del

desarrollo en serie de Taylor multidimensional alrededor de los centros del soporte de los conjuntos multidimensionales antecedentes $u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l$ de la función n -dimensional f_{NL} a aproximar, que constituyen un modelo linealizado de la misma, y vienen descritos por:

$$\begin{aligned}
 f_{NL}(u_1, u_2, \dots, u_n) &\cong f_{NL}(u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l) + \left(\frac{\partial f_{NL}}{\partial u_1} \bigg|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot (u_1 - u_{C_1}^l) + \dots \\
 &\dots + \left(\frac{\partial f_{NL}}{\partial u_n} \bigg|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot (u_n - u_{C_n}^l) = \\
 &= f_{NL}(u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l) + \sum_{j=1}^n \left(\frac{\partial f_{NL}}{\partial u_j} \bigg|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot (u_j - u_{C_j}^l)
 \end{aligned} \tag{2.266}$$

en dicho caso, en virtud de la localidad e independencia de la acción de cada regla (2.257) y la completitud y el soporte estrictamente localizado de interpolación entre funciones contiguas, proporcionado por la distribución completa (figura 2.59a), se deduce la identificación de los coeficientes del modelo difuso de Takagi-Sugeno de primer orden (2.257) con

$$c_0^l = f_{NL}(u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l) - \left(\sum_{j=1}^n \frac{\partial f_{NL}}{\partial u_j} \bigg|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot u_{C_j}^l \tag{2.267}$$

para el término constante, que supone el desplazamiento del modelo afín local, y

$$c_j^l = \frac{\partial f_{NL}}{\partial u_j} \bigg|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \tag{2.268}$$

para los términos que establecen la dirección del hiperplano en función del gradiente local de la función original.

Nótese que el anterior método de síntesis garantiza la estricta equivalencia del modelo difuso (2.259) sintetizado mediante la asignación anterior (2.267)-(2.268) con el modelo afín en el hiperparalelepípedo multidimensional de soporte de credibilidad o pertenencia unitaria

$s_l^C = [u_{l_1}^C - s_l^j/2, u_{l_1}^C + s_l^j/2] \times \dots \times [u_{l_n}^C - s_l^j/2, u_{l_n}^C + s_l^j/2]$, teniéndose la igualdad

$$\begin{aligned}
f^{TSK-1}(u) &= \sum_{l=1}^{M^1} (c_0^l + \sum_{j=1}^n c_j^l u_j) \cdot \{\mu_{R_1^l}(u_1) * \mu_{R_1^l}(u_2) * \dots * \mu_{R_n^l}(u_n)\} = \\
&= c_0^l + \sum_{j=1}^n c_j^l u_j \\
&= f_{NL}(u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l) - \left(\sum_{j=1}^n \left. \frac{\partial f_{NL}}{\partial u_j} \right|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot u_{C_j}^l + \sum_{j=1}^n \left(\left. \frac{\partial f_{NL}}{\partial u_j} \right|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot u_j \\
&= f_{NL}(u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l) + \sum_{j=1}^n \left(\left. \frac{\partial f_{NL}}{\partial u_j} \right|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot (u_j - u_{C_j}^l)
\end{aligned} \tag{2.269}$$

Cabe advertir que la anterior interpretación se demostrará en toda su relevancia en aplicaciones dinámicas, en cuyo caso los modelos son lineales *per se*, y la linealización en búsqueda de modelos dinámicos para sistemas no lineales dinámicos se fundamenta en (2.266).

Justificada la capacidad de reproducción de modelos locales lineales de los sistemas difusos TSK-1, ante la consideración de una división del espacio de aproximación con soporte de pertenencia unitaria no puntual, la figura 2.61 ilustra el efecto de interpolación entre modelos afines asociado al parámetro δ en la definición de los mismos.

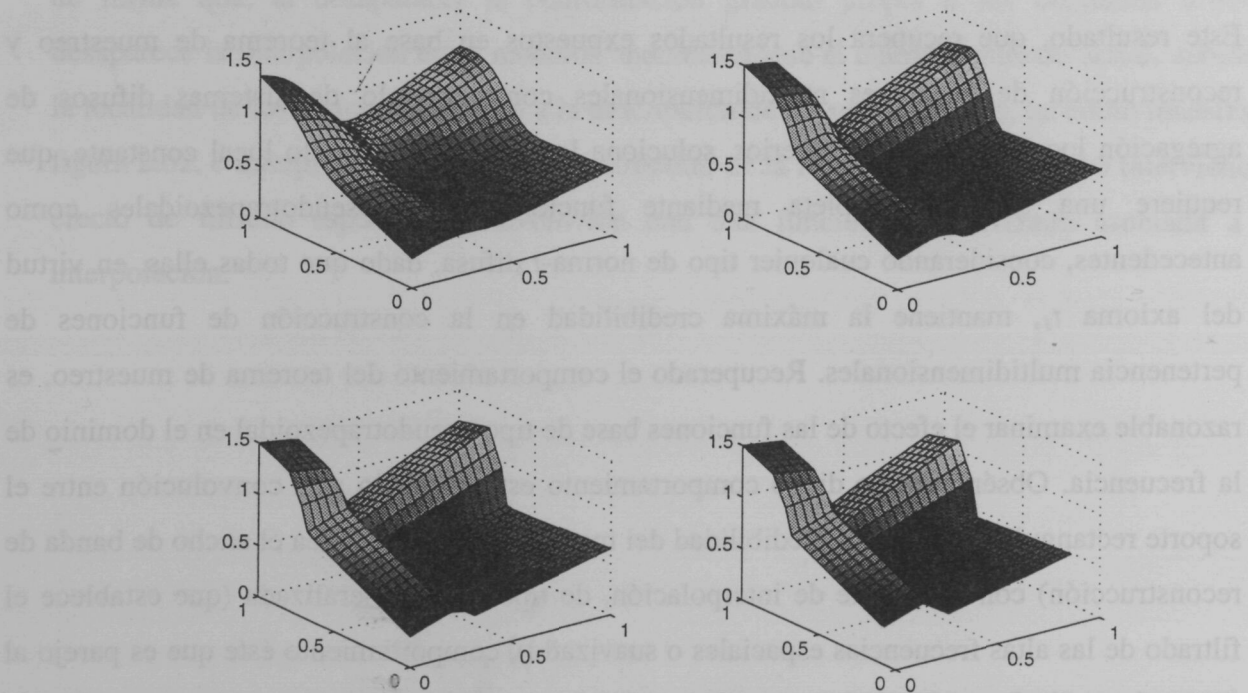


Figura 2.61 Aproximación de una función no lineal. Variación en sentido decreciente del parámetro δ de gradación entre modelos locales afines.

La generalidad del método de síntesis descrito permite recuperar como caso particular la aproximación mediante modelos constantes locales propia a los sistemas de agregación local descritos en apartados previos. En efecto, dichos modelos no consideran la información de gradiente de la función original, estableciendo modelos locales constantes, de forma que

$$\left. \frac{\partial f_{NL}}{\partial u_j} \right|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} = 0 \quad (2.270)$$

siendo así que del modelo linealizado de Taylor (2.266) y de las ecuaciones de síntesis se desprende

$$c_0^l = f_{NL}(u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l) - \left(\sum_{j=1}^n \left. \frac{\partial f_{NL}}{\partial u_j} \right|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} \right) \cdot u_{C_j}^l = f_{NL}(u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l) \quad (2.271)$$

y

$$c_j^l = \left. \frac{\partial f_{NL}}{\partial u_j} \right|_{u_{C_1}^l, u_{C_2}^l, \dots, u_{C_n}^l} = 0 \quad (2.272)$$

Este resultado, que recupera los resultados expuestos en base al teorema de muestreo y reconstrucción de funciones multidimensionales como modelo de sistemas difusos de agregación local del apartado anterior, soluciona la síntesis del modelo local constante, que requiere una síntesis completa mediante funciones base pseudotrapezoidales como antecedentes, considerando cualquier tipo de norma- t difusa, dado que todas ellas, en virtud del axioma t_I , mantiene la máxima credibilidad en la construcción de funciones de pertenencia multidimensionales. Recuperado el comportamiento del teorema de muestreo, es razonable examinar el efecto de las funciones base de tipo pseudotrapezoidal en el dominio de la frecuencia. Obsérvese que dicho comportamiento está asociado a la convolución entre el soporte rectangular de máxima credibilidad del modelo local (que marca el ancho de banda de reconstrucción) con el soporte de interpolación, de tipo delta generalizada (que establece el filtrado de las altas frecuencias espaciales o suavizado), comportamiento éste que es parejo al mostrado por la figura 2.41b del apartado anterior.

2.11.3 Ejemplo de controlador zonal. *Gain-scheduler* \subseteq Controlador difuso

La anterior definición de la partición del espacio de aproximación mediante funciones pseudotrapezoidales permite formalizar un resultado que parece natural frente a los razonamientos anteriores, consistente en la capacidad de un sistema difuso TSK-0 de sintetizar, como caso particular, un controlador no lineal por zonas (abruptas), conocido en la literatura como *gain-scheduler*. Cabe citar los recientes comentarios de Driankov, Hellendoorn y Palm, quienes aducen [cap 11, pp.302, NGU95]:

It is claimed [...] that a fuzzy control algorithm is a particular form of gain-scheduling, however, there are no studies showing the exact similarities and/or differences between gain-scheduling and fuzzy control.^{2,9}

Más allá de una justificación de la *existencia* del resultado en base a las propiedades de aproximación universal descritas, obsérvese que el enfoque del problema de aproximación según el método de síntesis descrito permite recuperar un comportamiento de control por zonas o *gain-scheduler* al considerar modelos constantes o TSK-0 y una reducción infinitesimal de los parámetros que definen el soporte de interpolación entre modelos $\delta_i \rightarrow 0$, de forma que, al desaparecer la conformación gradual propia a los conjuntos difusos, desaparece la interpolación entre modelos, manteniéndose el comportamiento zonal, debido a la localidad de los conjuntos propios a la descripción de las reglas difusas, tal como muestra la figura 2.62, e interpretable como un caso particular de la figura 2.53 en el que no interviene el efecto de filtrado espacial o convolución con una función de suavizado asociada a la interpolación.

^{2,9} Se pretende que un algoritmo de control difuso es una forma particular de *gain-scheduling*, sin embargo, no existen estudios que muestren exactamente las similitudes o diferencias entre el *gain-scheduling* y el control difuso.

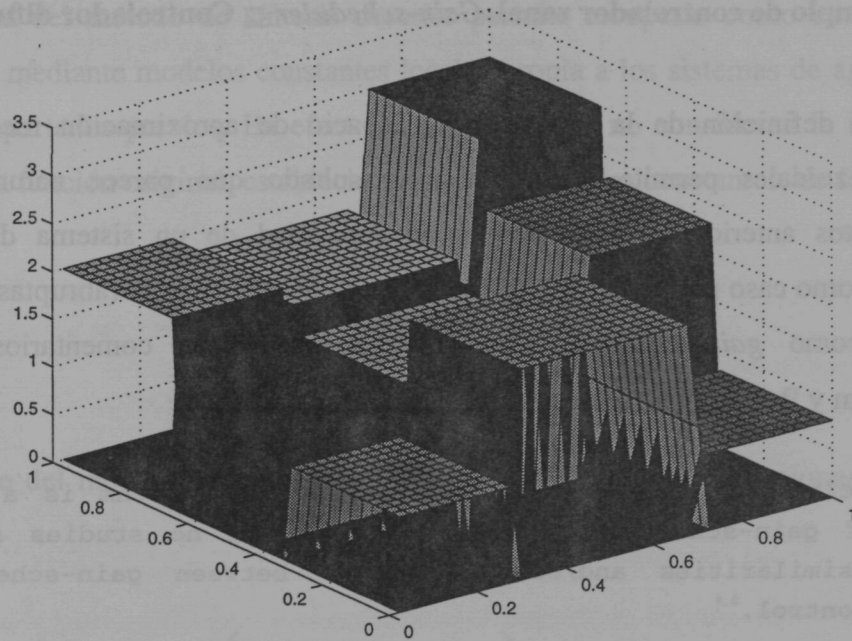


Figura 2.62 *Gain scheduler* como caso particular del método de síntesis de controladores difusos TSK.

Cabe citar, como último aspecto sobre las posibilidades analíticas de aproximación de los sistemas TSK, que la generalidad de definición del modelo original (2.256) permite plantear un tipo de reglas cuyos consecuentes o bien asignen un valor constante (o un modelo afín) o bien establezcan una subdivisión recurrente del espacio de aproximación. Dicha definición, según una representación del tipo

$$R^l : \text{SI } \mathbf{u} \text{ es } A^l |_{\mu_{R^l}(\mathbf{u})} \text{ ENTONCES } \begin{cases} f^l(\mathbf{u}) \\ \text{ó} \\ \text{SI } \mathbf{u} \text{ es } A^{l_1} |_{\mu_{R^{l_1}}(\mathbf{u})} \text{ ENTONCES...} \\ \text{SI } \mathbf{u} \text{ es } A^{l_2} |_{\mu_{R^{l_2}}(\mathbf{u})} \text{ ENTONCES...} \end{cases} \quad (2.272')$$

y que constituye una versión jerárquica del sistema difuso, resulta tanto en un método apropiado para la implementación del concepto de muestreo no uniforme planteado en el anterior apartado 2.96, definiendo subdivisiones recursivas sobre ventanas del espacio de aproximación en función del ancho de banda local, como en un método adecuado, por su modularidad, a la implementación electrónica de los sistemas difusos.

Con el fin de extender el estudio de las propiedades analíticas de los sistemas difusos TSK se presenta a continuación una descripción, a modo de inciso, de los modelos lineales a tramos PWL de cara a establecer una comparación con los modelos difusos.

2.12 Equivalencia de los controladores difusos con los modelos canónicos lineales a tramos (PWL)

Los modelos lineales a tramos (*piecewise-linear models*, *PWL*, en inglés) constituyen una potente y flexible herramienta de modelado y síntesis de funciones y sistemas no lineales. A pesar de su amplio establecimiento en distintos ámbitos de ingeniería (*e.g.* síntesis de imagen por ordenador), su aplicación y desarrollo en al área de circuitos y sistemas (no lineales) se debe a L. Chua, cuyo primer trabajo [CHU77] establece y presenta expresiones explícitas, lo que revierte en su aplicabilidad y manejabilidad analítica, para un modelo canónico de representación lineal a tramos *por secciones* (a diferencia de aproximaciones anteriores PWL), siendo el fin ulterior del mismo el modelado de funciones multidimensionales o hipersuperficies, motivado por su aplicación al modelado de dispositivos y circuitos no lineales. La peculiaridad de este primer modelo multidimensional (y que justifica el nombre de *section-wise*, por secciones, en inglés) se debe a que presenta una estructura lineal a tramos al fijar todas excepto una de las coordenadas espaciales, de forma que, en general, el modelo incluye términos de producto entre dimensiones, términos afines al concepto de *tensor*, constituyendo así un modelo *multilineal*. En su versión unidimensional, el modelo canónico presentado en [CHUA77] expresa explícitamente una función escalar de variable real según la ecuación

$$f(x) = a_0 + a_1 x + \sum_{j=1}^k b_j |x - x_j| \quad (2.273)$$

en la que x_j corresponde a los puntos en abscisas de separación entre modelos lineales y el resto de parámetros se calculan según las expresiones de recurrencia:

$$\begin{aligned} a_1 &= \frac{1}{2}(m_0 + m_1) \\ b_j &= \frac{1}{2}(m_j - m_{j-1}) \quad j = 1, \dots, k \\ a_0 &= f(0) - \sum_{j=1}^k b_j |x_j| \end{aligned} \quad (2.274)$$

siendo m_j la pendiente de la función PWL en el j -ésimo tramo de modelo lineal. La versión multidimensional del anterior modelo, que es un modelo estrictamente PWL, constituye el modelo PWL por secciones multidimensional, descrito por:

$$f_{NL}(x_1, \dots, x_n) = \sum_{m_1=1}^N \cdots \sum_{m_n=1}^N \alpha_{m_1 \dots m_n} \cdot \prod_{j=1}^n \phi_{m_j}(x_1, \dots, x_n) \quad (2.275)$$

siendo

$$\begin{aligned} \phi_1(x_j) &= 1 \\ \phi_2(x_j) &= x_j \\ \phi_3(x_j) &= |x_j - x_{j1}| \\ &\vdots \\ \phi_N(x_j) &= |x_j - x_{jN-2}| \end{aligned} \quad (2.276)$$

La anterior descripción canónica modela de forma compacta cualquier función multidimensional multiafín, descrita por

$$g_{NL}^{multiafin}(x_1, \dots, x_n) = a_0 + \sum_{(q_1, q_2, \dots, q_n) \in Q} a_{i_1 i_2 \dots i_n} x_1^{q_1} x_2^{q_2} \dots x_n^{q_n} \quad (2.277)$$

con $Q = \{(q_1, q_2, \dots, q_n) \mid q_j = 0, 1; j = 1, 2, \dots, n \text{ y } \sum_{j=1}^n q_j > 0\}$.

Los posteriores refinamientos de L. Chua sobre el modelo original abarcan más de una década de diversos trabajos, que conducen a una formulación compactada de la versión MIMO del modelo PWL canónico, que modela una función $f(\mathbf{x}): R^n \rightarrow R^m$ según

$$f(\mathbf{x}) = \mathbf{a} + \mathbf{B}\mathbf{x} + \sum_{j=1}^l \mathbf{c}_j \left| \langle \alpha_j, \mathbf{x} \rangle + \beta_j \right| \quad (2.278)$$

con $\mathbf{a}, \mathbf{c}_j \in R^m$, $\alpha_j \in R^n$, $\mathbf{B} \in R^{m \times n}$ y $\beta_j \in R$,

que puede interpretarse, desde la perspectiva de teoría de aproximación de funciones, como un aproximador *spline* de primer orden multidimensional. Esta representación canónica modela de forma óptima, *i.e.* con el menor número de parámetros, asociados éstos a los grados de libertad del problema, un conjunto suficientemente amplio de funciones (la mayoría

de funciones no degeneradas topológicamente) mediante un mapeado multidimensional afín por zonas, formado por una combinación de modelos locales, definidos por

$$y = f(x) = J_i x + s_i; x \in B_i, \quad i = 1, \dots, l \quad (2.279)$$

ecuación en la que la matriz jacobiana $J_i \in R^{m \times n}$ y los vectores de desplazamiento constante $s_i \in R^m$ están definidos sobre una región poliédrica B_i . Dichas regiones se conforman mediante la *partición* del espacio multidimensional de entrada, a su vez, mediante funciones afines, es decir, por el conjunto de hiperplanos:

$$H_i = \{x \in R^n \mid \alpha_i^T x + \beta_i = 0\}, \quad i = 1, \dots, l \quad (2.280)$$

siendo $\alpha_i \in R^n$ y $\beta_i \in R$, que establecen una división del espacio multidimensional en las zonas B_i definidas por

$$B_i = \{x \in R^n \mid \alpha_j^T x + \beta_j \geq 0 \quad j \in \{1, \dots, l\}, \alpha_i^T x + \beta_i \geq 0 \quad i \neq j\}, \quad i = 1, \dots, l \quad (2.281)$$

El último exponente de los anteriores trabajos de Chua corresponde a la propuesta de Kahlert y Chua [KAH90] quienes proponen una representación generalizada canónica PWL, que admite la operación de *composición* de funciones sin un mal condicionamiento del problema, lo que permite su aplicación en el modelado de elementos o bipolos no lineales en redes no lineales complejas. Una investigación equivalente y simultánea corresponde a los denominados mapas afines a tramos (*piecewise-affine maps*, en inglés) propuestos por C. Güzelis *et al* [GÜZ91] y que persiguen la aplicación de modelos PWL multidimensionales a modelado circuital. Destaca la revisión de modelos que establece el trabajo de Kevenaar y Leenaerts en [KEV92], que fructifica en una relación y una tipología entre los distintos modelos PWL multidimensionales publicados hasta el momento.

Otra línea de investigación asociada a los modelos PWL, ligada a los trabajos de J.N. Lin y R. Unbehauen, destaca por ser aquella que fomenta una interpretación en forma de red de procesamiento paralelo (neuronal) de dichos modelos lineales a tramos, e inicia su evolución en la propuesta de Lin y Unbehauen [LIN90] de un filtro digital no lineal que sustituye el subsistema de procesamiento no lineal de un filtro adaptativo no lineal, tradicionalmente computado como una serie de Volterra, por un subsistema PWL, consiguiendo así un

comportamiento altamente no lineal en un sentido global. Este trabajo, que presenta una somera incursión en la representación en forma de red del modelo canónico de Chua (2.275), es seguido de una extensión de los modelos lineales a tramos hacia modelos *suaves* a tramos (*Canonical Piecewise-Smooth Models*, en inglés), presentados en [LIN93], como extensión de orden superior del modelo canónico (2.275) hacia *splines* multivariable, advirtiendo que *tanto* la partición del dominio o espacio de aproximación como los modelos locales pueden no ser afines, sino de orden mayor. Un posterior trabajo de Lin y Unbehauen [LIN95] constituye un relevante punto de inflexión en la teoría de modelos PWL al proponer su operación en el contexto de las redes neuronales, propuesta cabal si se considera la descripción (2.275), formalmente equivalente a las descripciones de las redes de procesamiento paralelo descritas en apartados anteriores. Destaca este trabajo por ser uno de los únicos que analiza las propiedades de aproximación universal de las redes MLP considerando, mediante un modelo lineal a tramos, las particularidades de este tipo de redes neuronales, dado que buena parte de las demostraciones previas o bien no son constructivas, o si lo son, consideran la aproximación de funciones locales a partir de funciones sigmoidales, aproximación que no es connatural a las redes MLP, como ha sido expuesto en el apartado anterior 2.7.3. Con vistas a establecer una descripción en forma de red de los modelos PWL, los autores plantean una modificación del modelo canónico, desarrollada en toda su extensión en [LIN94] y denominada una generalización de *alto nivel*, que permite la aplicación de los modelos canónicos PWL a sistemas multicapa al permitir una operación anidada de los modelos (*nested models*). Los autores establecen una correspondencia completa entre la transferencia de un perceptrón multicapa con funciones de activación no lineal de tipo *threshold-logic*,

$$\sigma(\zeta) = \begin{cases} 0 & \zeta < 0 \\ \zeta & 0 \leq \zeta < 1 \\ 1 & \zeta \geq 1 \end{cases} \quad (2.282)$$

y el modelo canónico generalizado de alto nivel PWL. La equivalencia establecida permite ratificar las propiedades de aproximación universal de las redes MLP de forma constructiva. Obsérvese que bajo dicha identificación de modelos, la consideración de características de las funciones no lineales postsinápticas de tipo gradual (*e.g.* sigmoidales) no es fundamental en las capacidades de aproximación de las redes MLP (si bien que sí lo es para la aplicación de algoritmos de aprendizaje de descenso de gradiente, aspecto inherentemente asociado a dichas redes), sino que resultan en un suavizado de la transferencia. Destaca un teorema planteado

en el trabajo que establece, bajo la condición de continuidad de la función a aproximar, la estrecha relación entre la división del dominio (2.281) y los modelos locales (2.279). Nótese que los modelos PWL multidimensionales requieren de la condición de continuidad por la propia interrelación de modelos debido a que no se establece una interpolación entre los mismos, como sí ocurre con los sistemas difusos TSK-1. Por proporcionar un carácter autocontenido a la recensión, cabe citar una interpretación simultánea de la anterior identificación de un modelo MLP con los modelos PWL, si bien que ésta es establecida por Leenaerts [LEE95] para el caso particular simplificado unidimensional.

A continuación se plantean las equivalencias y diferencias entre el modelo canónico PWL y diversas particularizaciones de modelos difusos.

La particularización de funciones base de pertenencia de características lineales (triangulares) con implicaciones de tipo producto junto a un modelo de agregación simple, es decir, bajo la consideración de consecuentes constantes correspondientes a modelos TSK-0 establece una equivalencia completa entre los modelos sintetizados mediante técnicas PWL y técnicas difusas, si bien que constituye una equivalencia *a posteriori*. Dicha equivalencia es advertida y estudiada inicialmente en los trabajos de Zeng y Singh [ZEN96], [ZEN96a], quienes demuestran el carácter multilineal de dicho caso particular de sistemas difusos, dando a la vez cotas sobre el error de aproximación. Por su parte, el reciente trabajo de Rovatti [ROV98] extiende los anteriores resultados analizando las propiedades como aproximadores de funciones multilineales de dichos sistemas difusos particulares (en dicho trabajo, si bien que se recurre a la operación de normalización, el autor requiere, aunque no justifica, conjuntos de funciones base completos de tipo triangular autonormalizado -véase la figura 2.30-, con el fin de evitar el cambio de conformación en que resulta la operación no lineal de normalización). El reciente trabajo de Westphal [WES98] plantea asimismo la representabilidad de un controlador difuso de antecedentes lineales y consecuentes constantes como sistema multilineal, lo que de forma implícita conlleva la equivalencia con el modelo canónico PWL. El trabajo también incluye el paso demostrativo de conformación de una función local a partir de dos funciones sigmoidales generalizadas, en el sentido previamente comentado de la demostración de Cybenko [CYB89], de forma que la anterior equivalencia puede extenderse parcialmente a modelos MLP, resultado menos concluyente que alguno de sus predecesores, véase [LIN95].

A pesar de la equivalencia desde la óptica de la capacidad descriptiva de funciones no lineales, su síntesis es distinta, dado que la síntesis de controladores difusos mediante funciones de soporte acotado conlleva una localidad absoluta de los modelos lineales que

permite asignar los valores del desarrollo lineal a muestras de la función, mientras que la conformación de tipo valor absoluto en los modelo PWL conlleva una interacción total entre los parámetros de la descomposición (3.275), que se obtienen de forma recurrente, aspecto que aparece en detrimento de su sensibilidad de cómputo e implementación. La figura 2.62' establece una comparación gráfica para el caso de una función unidimensional entre ambos modelos, con el fin de ilustrar los aspectos anteriores en cuanto a la distinta naturaleza de síntesis. Nótese que dicha falta de independencia entre los parámetros de la red de procesamiento que presenta el método PWL también se verifica en redes neuronales MLP.

Un aspecto diferenciado del modelo PWL es que permite la incorporación de saltos de discontinuidad evitable en el mismo –mediante la adición de términos con una no linealidad de tipo escalón o *signo* al modelo original (2.275)-, aspecto que no incorpora un controlador difuso estándar, siendo así que la síntesis de una discontinuidad de salto es imposible, si bien que la extensión anterior, que correspondería a la adición de conjuntos de lógica clásica abruptos, es aplicable.

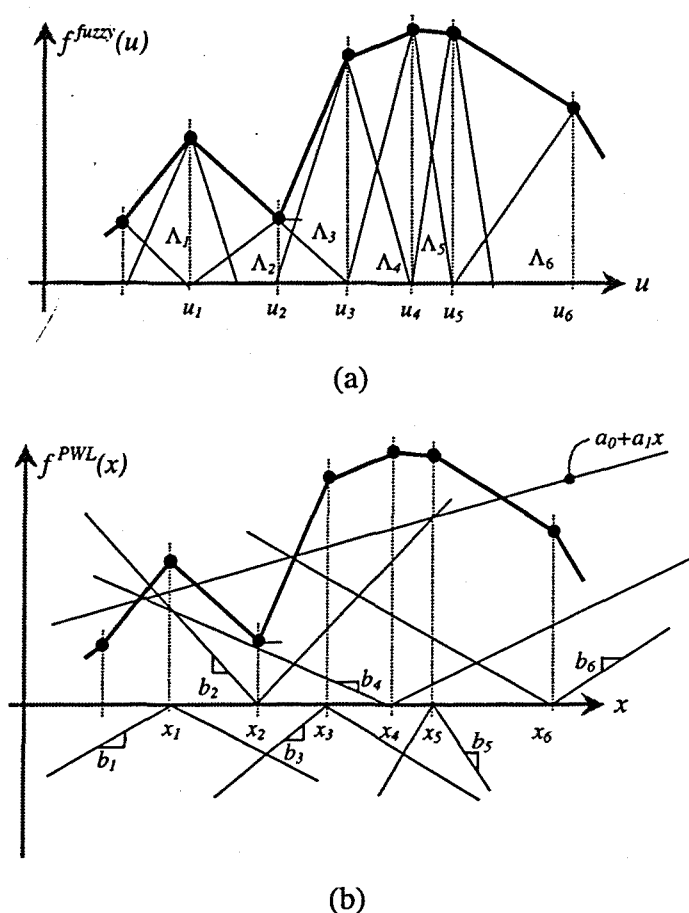


Figura 2.62' Aproximación lineal a tramos (a) Modelo difuso TSK-0 de funciones base triangulares (b) Modelo Canónico PWL de Chua

La extensión de modelos lineales a tramos PWL hacia modelos suaves a tramos como aproximación *spline* multidimensional, en el sentido de Lin y Unbehauen [LIN93], requiere, en su equivalente difuso, de la consideración de funciones de pertenencia de tipo *spline*, tal como ha sido considerado en apartados anteriores. En dicho sentido destaca el trabajo de C.H. Wang *et al* [WAN95], cuya digresión constructiva, entendemos que no apropiada, propone la síntesis de funciones de pertenencia (en sí funciones *spline*) considerando funciones complejas sintetizadas mediante aproximandos *spline* de primer orden.

Considerando la relación entre los modelos PWL y los modelos TSK-1, cuya comparación, en nuestro conocimiento, no ha sido tratada en la literatura, obsérvese que la definición de un sistema TSK-1 corresponde, identificando los modelos locales de TSK-1 (2.257) con los modelos locales PWL (2.279), a un tipo de sistema PWL cuyos hiperplanos de división espacial son perpendiculares a los ejes, estableciendo la transición entre modelos zonales (siempre que se consideren conjuntos de lógica clásica, correspondientes a una distribución pseudotrapezoidal con $\delta_i \rightarrow 0$). Por su parte, los modelos TSK-1, en general, incluyen la posibilidad de interpolación $\delta_i \neq 0$, que no incorporan los modelos PWL (nótese que en el caso de conformación lineal de interpolación se recupera el comportamiento multilíneal (2.227)), y que relaja los condicionantes sobre continuidad que aparecen en modelos PWL. Por su parte, la consideración simultánea de funciones base triangulares y consecuentes afines conduce a una distorsión de los modelos esperados, como corresponde al doble efecto de interpolación lineal y modelado lineal, y tal como se pone de manifiesto en los problemas encontrados en [YEN98] ó [JAG95].

2.13 Sistemas difusos TSK dinámicos como aproximadores universales dinámicos

2.13.1 Introducción

Los sistemas difusos tratados en los apartados anteriores, de aproximación algebraica o estática, difícilmente pueden ser catalogados como *controladores*, pues operan sin dinámica, cuando la inclusión de la misma es el aspecto diferenciado que constituye precisamente la clave de los controladores o compensadores propios a los sistemas realimentados. Aún así, existe un número destacado de aplicaciones teóricas y prácticas, publicadas en la literatura, de sistemas que considerando inferencia difusa de tipo Mamdani, TSK-0 y TSK-1, y actuando como controladores, no incorporan dinámica en su descripción.

Sin despreciar las excelentes propiedades de los sistemas (difusos) de agregación local de modelos (constantes o no) como aproximadores universales de funciones no lineales, es necesaria la incorporación de dinámica en el sistema de control para establecer una comparación homogénea con los métodos previos existentes en el área de teoría de control, síntesis y modelado de sistemas dinámicos no lineales, aspecto tratado de forma irregular en la literatura especializada.

Una explicación, que no una justificación, de la falta de un tratamiento unificado de dichos sistemas es su complejidad, siendo así que constituyen, como sistemas que incorporan dinámica y comportamiento altamente no lineal, la máxima complejidad de modelado posible si se excluye a los sistemas de parámetros variantes con el tiempo o sistemas estocásticos. De hecho, los tratamientos clásicos de este tipo de sistemas, tal como será discutido posteriormente, se asientan tradicionalmente en los arduos modelos de Volterra y Wiener, si bien que la consideración de modelos locales, estudiados en el presente trabajo, relaja considerablemente dicha dificultad analítica, como se presenta a continuación.

Nótese, empero, que la anterior discusión no invalida los análisis previos sobre las capacidades de aproximación analítica, en principio considerados estáticos, dado que la definición de las funciones multidimensionales en un espacio abstracto permite su generalización a variables dinámicas o señales de dependencia temporal.

2.13.2 Sobre las propiedades de aproximación universal dinámica

Con el objetivo de iniciar el estudio de los sistemas dinámicos no lineales, se parte de una descripción de los mismos como un conjunto de ecuaciones diferenciales vectoriales no lineales que admiten la compacta notación matricial de estado

$$\begin{aligned} \frac{\partial \mathbf{x}(t)}{\partial t} &= \mathbf{x}(t) = \phi_{NL}\{\mathbf{x}(t), \mathbf{u}(t)\} \\ \mathbf{v}(t) &= \psi_{NL}\{\mathbf{x}(t)\} \end{aligned} \quad t \in R^+ \quad (2.273)$$

descripción vectorial que corresponde a un sistema de n_x estados (con $n_x < \infty$ para un sistema de memoria finita), n_u entradas y n_v salidas, de modo que los vectores de estado $\mathbf{x}(t)$, de salida $\mathbf{v}(t)$ y de entrada $\mathbf{u}(t)$, así como las funciones no lineales estáticas de acoplamiento entre estados y entradas ϕ_{NL} , y acoplamiento entre estados y salidas ψ_{NL} , están definidas, respectivamente, por:

$$\begin{aligned} \mathbf{x}(t) &\equiv \{x_1(t), \dots, x_{n_x}(t)\}^T \\ \mathbf{v}(t) &\equiv \{v_1(t), \dots, v_{n_v}(t)\}^T \\ \mathbf{u}(t) &\equiv \{u_1(t), \dots, u_{n_u}(t)\}^T \\ \phi_{NL} &: R^{n_x} \times R^{n_u} \rightarrow R^{n_x} \\ \psi_{NL} &: R^{n_x} \rightarrow R^{n_v} \end{aligned} \quad (2.274)$$

La anterior descripción para un sistema dinámico no lineal genérico admite una versión equivalente discreta para el caso de señales muestreadas descritas como secuencias discretas, según un conjunto de ecuaciones no lineales en diferencias, expresable de forma matricial:

$$\begin{aligned} \mathbf{x}(k+1) &= \phi_{NL}\{\mathbf{x}(k), \mathbf{u}(k)\} \\ \mathbf{v}(k) &= \psi_{NL}\{\mathbf{x}(k)\} \end{aligned} \quad (2.275)$$

Si bien la mayor parte de resultados se establecerán para el caso continuo, se presenta el caso discreto para establecer analogías entre distintas aproximaciones de la literatura. Nótese que las anteriores expresiones representan al sistema y son, por tanto, útiles tanto para el *modelado* como para la *identificación* o *síntesis* de un sistema genérico dinámico no lineal, sea éste una planta dinámica no lineal que requiere una acción de control, un sistema dinámico no lineal que opera como procesador de señal en lazo abierto (e.g. un filtro no

lineal), un controlador dinámico no lineal que proporciona la acción de de control, o el conjunto dinámico no lineal agregado formado por la planta y el controlador.

Bajo la hipótesis de linealidad de los sistemas descritos por (2.273) y (2.275), las descripciones matriciales que modelan o permiten la síntesis de sistemas MIMO dinámicos lineales devienen,

$$\begin{aligned}\dot{\mathbf{x}}(t) &= \mathbf{A}\mathbf{x}(t) + \mathbf{B}\mathbf{u}(t) \\ \mathbf{v}(t) &= \mathbf{C}\mathbf{x}(t)\end{aligned}\quad t \in \mathbb{R}^+ \quad (2.276)$$

para el caso continuo, y

$$\begin{aligned}\mathbf{x}(k+1) &= \mathbf{A}\mathbf{x}(k) + \mathbf{B}\mathbf{u}(k) \\ \mathbf{v}(k) &= \mathbf{C}\mathbf{x}(k)\end{aligned} \quad (2.277)$$

para el caso discreto, siendo \mathbf{A} , \mathbf{B} y \mathbf{C} matrices $(n_x \times n_x)$, $(n_x \times n_u)$ y $(n_y \times n_x)$ de coeficientes constantes. El bien establecido cuerpo de la teoría de control desarrollado en las últimas décadas trata las cuestiones sobre la estabilidad, controlabilidad y observabilidad de dichos sistemas dinámicos lineales, en buena medida por la existencia de eficientes herramientas analíticas lineales.

Obsérvese que, en virtud de la propiedad de aproximación universal que presentan los sistemas difusos, su capacidad de sintetizar cualquier función no lineal multidimensional permite establecer una combinación entre dichos sistemas no lineales estáticos, como representación de los mapeados estáticos ϕ_{NL} y ψ_{NL} , con elementos dinámicos simples (integración o retardo temporal) con el fin de sintetizar sistemas dinámicos universales, descritos por (2.273).

Frente a esta propuesta, cabe citar los trabajos asociados a las series de Volterra, que serán reconsiderados posteriormente, como modelos de sistemas dinámicos no lineales que aproximan las funciones no lineales en (2.273) –si bien que para un caso particular dinámico que sólo incluye acoplamientos de *feedforward*- mediante aproximaciones polinómicas sintetizadas como desarrollos de Taylor, aspecto que les impide presentar propiedades de aproximación global. La aplicación de redes neuronales de tipo perceptrón multicapa MLP para la aproximación de las funciones estáticas no lineales en la descripción dinámica no lineal (2.273) fue advertida y explorada en un muy notable y temprano trabajo de Narendra *et al.* [NAR90], si bien que el mismo no ha tenido la repercusión esperable, dado que el

aprendizaje neuronal en redes MLP es *ciego*, de forma que sólo es posible su aplicación en aplicaciones *adaptativas* que incluyen una fase de aprendizaje, una operación alejada del proceso directo de diseño o síntesis de sistemas dinámicos no lineales, y desligada de los métodos clásicos de análisis.

La combinación de un sistema difuso TSK (o en general cualquier sistema de agregación local) como aproximador de la funciones multidimensionales en los modelos genéricos (2.273) y (2.275), junto a la dinámica requerida, conduce a un sistema cuya representación en forma de diagrama muestra la figura 2.63, tanto en su versión continua como discreta.

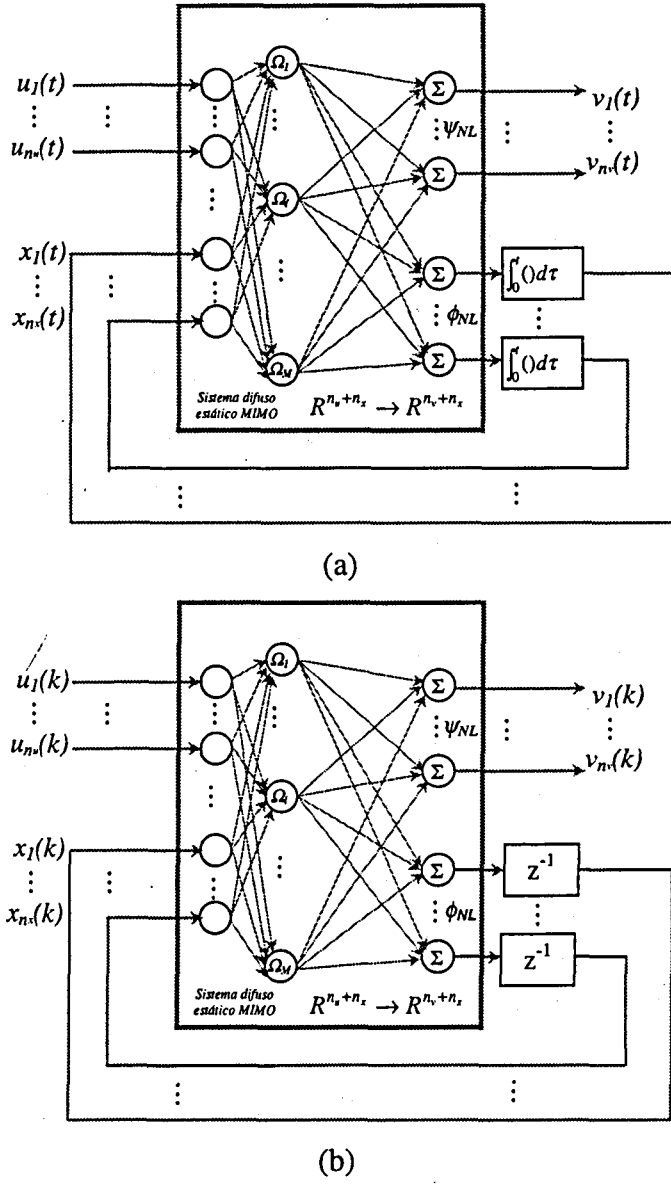


Figura 2.63 Sistema MIMO $R^{n_u} \rightarrow R^{n_v}$ difuso dinámico no lineal genérico.

(a) Tiempo continuo (b) Tiempo discreto.

Nótese que en dicha figura se ha considerado la propiedad de independencia ortogonal entre las funciones base de división del espacio de aproximación no lineal –véase la figura (2.35) correspondiente a la aproximación de una función vectorial de variable vectorial-, que permite compartir la división ortogonal del espacio, y establecer la salida de las funciones no lineales ϕ_{NL} y ψ_{NL} como dos agregaciones lineales paramétricas independientes, característica que no presenta una aproximación no lineal polinómica multidimensional o una red neuronal MLP.

La síntesis de las funciones no lineales multidimensionales del modelo genérico ϕ_{NL} y ψ_{NL} mediante sistemas de agregación local mostrada en la figura 2.63, resulta en un comportamiento de aproximador universal de sistemas dinámicos no lineales, si bien que además ostenta, frente a la aproximación polinómica o mediante redes MLP, las mismas propiedades que detenta en problemas de aproximación estática estudiados en apartados anteriores, a saber: propiedades de aproximación global óptima mediante combinación ortogonal de modelos locales constantes, mínimo número de parámetros de aprendizaje, cuya obtención es un problema lineal de mayor rapidez (evitando problemas de mínimos locales en un eventual proceso de aprendizaje) y estructura simple (capa única), admitiendo además una descripción (lingüística) interpretable debido a su localidad.

Los sistemas de agregación local, que consideran muestras de la función no lineal a sintetizar, no obstante, y en concordancia con los anteriores métodos, no proporcionan de forma explícita los modelos locales afines (lineales) de aproximación.

A diferencia de los anteriores, la consideración de modelos difusos TSK-1, *i.e.*, aquel modelo que realiza la aproximación universal mediante la asignación de modelos afines (lineales) a cada subdivisión ortogonal del espacio de aproximación, además de mantener la propiedad de aproximación universal de sistemas dinámicos no lineales, resulta, respecto a los anteriores, no tan sólo en una descripción óptima en cuanto a número de reglas, sino que establece un puente con los métodos de análisis y síntesis lineales y permite aprovechar los resultados asociados a éstos (*e.g.* análisis de controlabilidad, estabilidad y observabilidad), permitiendo el estudio de su extensión hacia el caso no lineal y facilitando su síntesis.

Respecto al uso de sistemas difusos de tipo TSK-1, nótese que, en general, dada la flexibilidad en la definición de los modelos de consecuentes analíticos genéricos TSK –véase (2.256)-, cabría extender el modelo original hacia un modelo no lineal dinámico que asignase, a cada zona localizada del espacio, un modelo local lineal dinámico, de forma que éste podría ser descrito, en la l -ésima regla, por su respuesta impulsional local

$$R^l: \quad \text{SI } (u_1, \dots, u_n) \text{ es } A^l|_{\mu_{R^l}(u_1, \dots, u_n)} \text{ ENTONCES } h_{local}^l(u_1, \dots, u_n; t) \quad (2.278)$$

O bien, de forma dual, por su función de transferencia,

$$R^l: \quad \text{SI } (u_1, \dots, u_n) \text{ es } A^l|_{\mu_{R^l}(u_1, \dots, u_n)} \text{ ENTONCES } H_{local}^l(u_1, \dots, u_n; s) \quad (2.279)$$

Expresiones ambas en las que la dependencia del modelo local con la entrada afecta a los parámetros del modelo local lineal. E incluso, dicho sistema TSK dinámico generalizado podría asignar modelos lineales locales de estado del tipo

$$R^l: \quad \text{SI } (u_1(t), \dots, u_n(t)) \text{ es } A^l|_{\mu_{R^l}(u_1(t), \dots, u_n(t))} \text{ ENTONCES } \begin{cases} \dot{\mathbf{x}}(t) = A^l \mathbf{x}(t) + B^l \mathbf{u}(t) \\ \mathbf{v}(t) = C^l \mathbf{x}(t) \end{cases} \quad (2.280)$$

como plantean los trabajos de K. Tanaka, y las variaciones sobre los mismos, que consideran la expresión (2.280) –véase [cap 2, NGU95], [WAN6], [KAN95] y [HAN98]- o bien el trabajo de I. B. Ciociu, quien en [CIO97] plantea redes RBF en las que se sustituyen las conexiones sinápticas por filtros discretos –comportamiento modelado por (2.279)-. En todos los casos anteriores, la capacidad de aproximación no lineal debida a la división del espacio de entrada sería complementada por la capacidad de modelado o procesado local dinámico, constituyendo así un sistema dinámico no lineal, si bien que su propia estructura requiere de la inclusión de M modelos locales (lineales) complejos, siendo M el número de reglas o subdivisiones del espacio, que no facilitan el análisis ni la síntesis. Nótese que es necesario sintetizar M modelos (*e.g.* filtros), que si bien son locales, no son simples (como sí correspondería a modelos según meras agregaciones lineales), y que deben incluir explícitamente la dinámica. Aunque la generalidad de dichos sistemas eleva sus propiedades a aquéllas de los modelos genéricos de Volterra y Wiener, de relevancia teórica, a semejanza de éstos, su descripción no constituye una ayuda para la síntesis de los mismos.

En este sentido, el objetivo del siguiente estudio es plantear sistemas difusos TSK sencillos (TSK-0 y TSK-1) como aproximadores universales de sistemas dinámicos no lineales, siguiendo una evolución en cuanto a su complejidad, que parte de la aproximación de controladores PID no lineales, pasando por la síntesis de compensadores dinámicos universales y concluye con la propuesta de compensadores de estado no lineales universales.

2.13.3 Control difuso PID no lineal arbitrario

Considérese, para iniciar el estudio, la descripción (2.281) de la operación sobre la variable de error de entrada $u_e(t)$ de un controlador (compensador) PID lineal estándar, de variables de entrada y salida únicas

$$v(t) = k_P u_e(t) + k_I \int_0^t u_e(\tau) d\tau + k_D \frac{\partial}{\partial t} u_e(t) = k_P u_e^P(t) + k_I u_e^I(t) + k_D u_e^D(t) \quad (2.281)$$

Una de las posibles justificaciones de la amplia aceptación del compensador PID como compensador lineal clásico puede argüirse en su descripción en el dominio transformado de Laplace,

$$V(s) = k_P U_e(s) + k_I \frac{U_e(s)}{s} + k_D s U_e(s) \quad \Rightarrow \quad (2.282)$$

$$H_{PID}(s) = \frac{V(s)}{U_e(s)} = \frac{k_D s^2 + k_P s + k_I}{s}$$

descripción dual a la descripción de agregación temporal de un término proporcional, derivativo e integrativo, que permite discutir la utilidad de su efecto en base a la inserción en el lazo de realimentación de un conjunto de polos y ceros como dinámica de compensación. En efecto, a pesar de la simplicidad de su estructura, el compensador PID lineal introduce un polo situado en el origen, que confiere un valor infinito a la ganancia de lazo en continua, lo que revierte en un error nulo de seguimiento de referencias constantes por parte del sistema realimentado. Por su parte, la inserción de sendos ceros de compensación (reales o complejos conjugados, en función de los valores relativos entre k_P , k_D y k_I) compensa por una parte la inserción del polo en el origen y por otra parte la dinámica propia de la planta, estabilizando su operación realimentada. Estas características confieren buenas prestaciones de control al compensador PID para un conjunto amplio de plantas de dinámica no crítica.

Considerando la aproximación o la síntesis de un controlador PID por parte de un sistema difuso, cabe incidir de nuevo en que un sistema de inferencia difusa es un sistema estático (si bien que no lineal) *per se*, de forma que cualquier efecto dinámico debe ser externo al mismo, de modo que la conjunción de ambas partes forme un sistema controlador dinámico que pueda ser comparado de forma homogénea con un compensador clásico (en este caso un PID).

Considerando, en particular, la síntesis de dicha función no lineal mediante un sistema difuso TSK-0, se obtiene un controlador PID no lineal que presenta, en cuanto a sus características de aproximación funcional, las ventajas ya estudiadas frente a la aproximación polinómica o mediante red neuronal. Conjuntamente, la consideración de un modelo difuso TSK-1 de modelos localmente afines permite establecer un nexo de unión con la síntesis directa de dicho compensador PID no lineal (o, en particular, lineal), como revelan los siguientes lemas.

Considérese un sistema de inferencia difusa TSK-1 (2.257), cuyos antecedentes establecen una división regular del espacio de entrada tridimensional formado por $\{u_e^P(t), u_e^I(t), u_e^D(t)\}$ mediante funciones base pseudotrapezoidales, y descrito por una base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M'$):

en dicho caso el sistema de inferencia difusa establece una compensación PID dinámica no lineal arbitraria.#

229

$$\begin{aligned}
v^C(t) &= f^{TSK1}\{u_e^P(t), u_e^I(t), u_e^D(t)\} = \\
&= \sum_{l=1}^{M^1} \{k_P^l u_e^P(t) + k_I^l u_e^I(t) + k_D^l u_e^D(t)\} \cdot \{\mu_{R_p^l}(u_e^P(t)) * \mu_{R_I^l}(u_e^I(t)) * \dots * \mu_{R_D^l}(u_e^D(t))\}
\end{aligned} \tag{2.284}$$

En virtud de la localidad de las funciones base, y la estricta acotación del soporte de interpolación de las funciones base pseudotrapezoidales, el modelo local linealizado sobre el soporte de máxima credibilidad de la regla l -ésima, obtenido como los terminos del desarrollo de Taylor (2.266) sobre el centro de dicho soporte $s_l^C = [u_{l1}^C - s_j^1/2, u_{l1}^C + s_j^1/2] \times \dots \times [u_{ln}^C - s_j^n/2, u_{ln}^C + s_j^n/2]$, resulta en

$$\begin{aligned}
v^C(t) \Big|_{u_{c1}^I, u_{c2}^I, \dots, u_{cn}^I} &= f^{TSK1}\{u_e^P(t), u_e^I(t), u_e^D(t)\} \Big|_{u_{c1}^I, u_{c2}^I, \dots, u_{cn}^I} = \\
&= k_P^l u_e^P(t) + k_I^l u_e^I(t) + k_D^l u_e^D(t)
\end{aligned} \tag{2.285}$$

que corresponde a la transferencia de un compensador PID (2.281). Dado que los parámetros característicos k_P^l, k_I^l, k_D^l de dicho modelo local lineal dependen de la posición sobre el espacio de entrada, el sistema difuso definido por (2.283) se comporta como compensador PID dinámico no lineal arbitrario. #

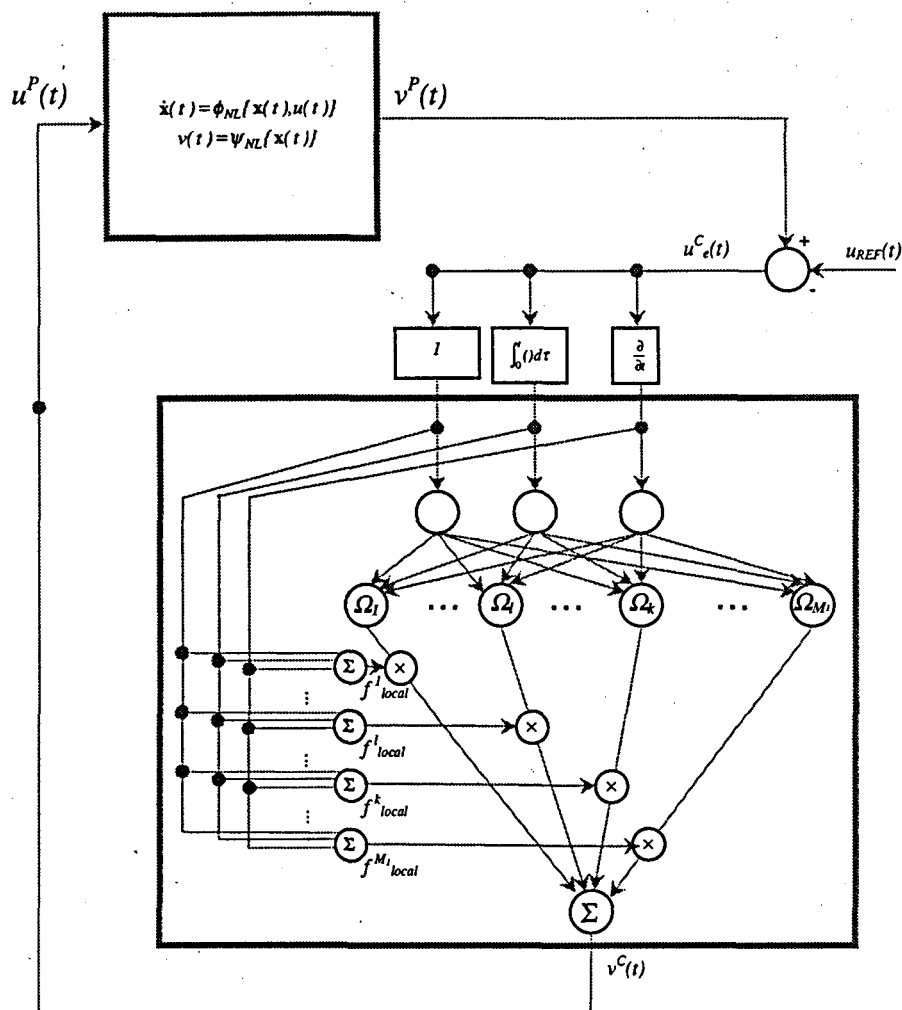


Figura 2.64 Controlador difuso TSK-1 como PID dinámico no lineal universal

Nótese que el anterior lema admite la interpretación de plantear un síntesis directa y explícita del compensador PID dinámico no lineal, al estar incluidos en el sistema de inferencia un conjunto de parámetros (consecuentes) que están directamente relacionados con el modelo clásico lineal (2.281), siendo por tanto analíticamente (que no lingüísticamente) interpretables, característica que constituye una ayuda directa para la síntesis del sistema difuso compensador PID dinámico no lineal.

Como complemento al anterior lema, se plantean, sin explicitación de su prueba, los tres siguientes corolarios.

2.13.3.2 Corolario 1 al lema 2.4. *Controlador TSK-0 (o sistema de agregación local) como compensador PID dinámico no lineal universal.*

Considérese un sistema de inferencia difusa TSK-0 (2.260), o equivalentemente, cualquier sistema de agregación local asimilable al mismo, cuyos antecedentes (funciones base)

establecen una división regular del espacio de entrada tridimensional formado por $\{u_e^P(t), u_e^I(t), u_e^D(t)\}$ mediante funciones base pseudotrapezoidales, y descrito por una base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^0$):

$$\begin{aligned}
 R^1: & \text{ SI } \{u_e^P(t), u_e^I(t), u_e^D(t)\} \text{ es } A^1 |_{\mu_{A^1}\{u_e^P(t), u_e^I(t), u_e^D(t)\}} \text{ ENTONCES } v = c_0^1 \\
 & \vdots \\
 R^l: & \text{ SI } \{u_e^P(t), u_e^I(t), u_e^D(t)\} \text{ es } A^l |_{\mu_{A^l}\{u_e^P(t), u_e^I(t), u_e^D(t)\}} \text{ ENTONCES } v = c_0^l \\
 & \vdots \\
 R^{M^0}: & \text{ SI } \{u_e^P(t), u_e^I(t), u_e^D(t)\} \text{ es } A^{M^0} |_{\mu_{A^{M^0}}\{u_e^P(t), u_e^I(t), u_e^D(t)\}} \text{ ENTONCES } v = c_0^{M^0}
 \end{aligned}
 \tag{2.286}$$

en dicho caso el sistema de inferencia difusa establece una compensación PID dinámica no lineal arbitraria.#

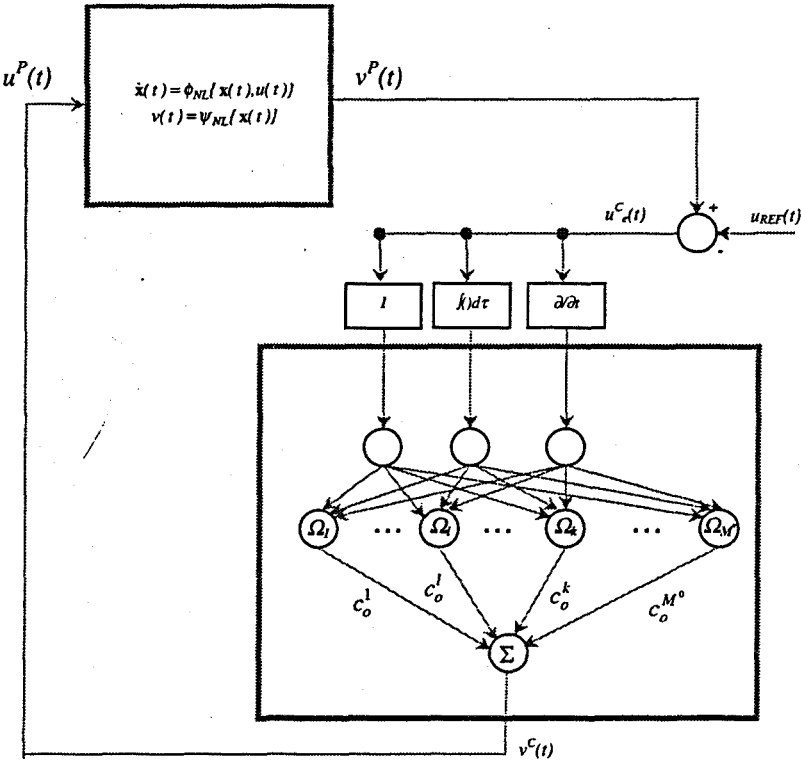


Figura 2.65 Controlador difuso TSK-0 como PID dinámico no lineal universal

Nótese que el anterior corolario 1 del lema 2.4, cuya descripción gráfica corresponde a la figura 2.65, y que está justificado por las propiedades de aproximación universal que detentan los sistemas de agregación local, confiere a dicho controlador un carácter claramente subóptimo respecto al sistema difuso TSK-1 del lema 2.4, tanto por el número de reglas necesario $M^0 \gg M^1$ –véanse las figuras 2.57 y 2.58-, como por la falta de relación explícita entre los parámetros constantes consecuentes o pesos de agregación lineal c_o^l y los parámetros

PID equivalentes resultantes, dado que, en sistemas difusos TSK-0, la conformación de las funciones base de pertenencia también interviene en la constitución de los modelos locales.

2.13.3.3 Corolario 2 al lema 2.4. *PID lineal \subseteq Controlador TSK-1 compensador PID dinámico no lineal universal (síntesis directa)*

Considérese un controlador PID clásico lineal descrito por la relación (2.281), en dicho caso, siempre existe un sistema de inferencia difusa TSK-1 (2.257), definido por una regla única ($M^l=1$)

$$R^l: \text{ SI } \langle \text{cierto} \rangle \text{ ENTONCES } v = k_P^l u_e^P(t) + k_I^l u_e^I(t) + k_D^l u_e^D(t) \quad (2.287)$$

que coincide con el controlador PID clásico lineal considerado #

2.13.3.4 Corolario 3 al lema 2.4. *PID lineal \subseteq Controlador TSK-0 (o sistema de agregación local) compensador PID dinámico no lineal universal.*

Considérese un controlador PID clásico lineal descrito por la relación (2.281), en dicho caso, siempre existe un sistema de inferencia difusa TSK-0 (2.260), definido por la base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^0$):

$$\begin{aligned} R^1: & \text{ SI } \{u_e^P(t), u_e^I(t), u_e^D(t)\} \text{ es } A^1 \mid_{\mu_{R^1}\{u_e^P(t), u_e^I(t), u_e^D(t)\}} \text{ ENTONCES } v = c_0^1 \\ & \vdots \\ R^l: & \text{ SI } \{u_e^P(t), u_e^I(t), u_e^D(t)\} \text{ es } A^l \mid_{\mu_{R^l}\{u_e^P(t), u_e^I(t), u_e^D(t)\}} \text{ ENTONCES } v = c_0^l \\ & \vdots \\ R^{M^0}: & \text{ SI } \{u_e^P(t), u_e^I(t), u_e^D(t)\} \text{ es } A^{M^0} \mid_{\mu_{R^{M^0}}\{u_e^P(t), u_e^I(t), u_e^D(t)\}} \text{ ENTONCES } v = c_0^{M^0} \end{aligned} \quad (2.288)$$

que coincide con el controlador PID clásico lineal considerado #

El contenido de los corolarios 2 y 3 al lema 2.4, admite como interpretación la discusión sobre la figura 2.56 que trata de la aproximación estática de funciones multidimensionales afines, si bien que extendida ésta al caso de un espacio tridimensional con dependencia dinámica externa. El corolario 2 demuestra la superfluidad de utilizar toda la complejidad de definición de un controlador difuso para sintetizar un PID lineal, dado que en dicho caso no se explotan sus capacidades no lineales. El corolario 3 demuestra, por su parte, que toda dicha

complejidad de aproximación no lineal se invierte en aproximar una ley lineal sencilla, de síntesis inmediata de forma directa, sin que por ello adquiera interpretabilidad lingüística.

Como recopilación de resultados de trabajos de la literatura que versan sobre los anteriores aspectos, cabe citar previamente una reciente afirmación de H. Ying [YIN98], autor representativo cuyos investigaciones abordan las propiedades analíticas de los modelos TSK-1, que reza:

Results in analytical aspects of the TSK fuzzy controller are very scarce[...]there exists no analytical structure of an TSK fuzzy controller in the literature at present, let alone formal relation between the TSK fuzzy controllers and conventional controllers such as the widely used proportional-integral-derivative (PID) controllers.^{2,10}

A pesar de la aparente obviedad de los corolarios 2 y 3 al lema 2.4, dichos corolarios formalizan, basándose en el lema 2.4, una propiedad (*i.e.* la inclusión del control PID lineal dentro del control PID difuso, al justificar la operación de éste como PID no lineal), que se describe como incierta en ciertos trabajos, como el firmado por Driankov *et al.* [cap11, NGU5], y, a pesar del carácter ineficaz (ligado a la *curse of dimensionality*) de la aproximación de un sistema PID lineal mediante toda la complejidad de modelos locales constantes, como corresponde a sistemas TSK-0 y planteado por el corolario 3 al lema 2.4, su uso puede calificarse de aceptado, véase [MIZ92], [CHE94], [GAL95], [JAG95], en los que implícitamente se utiliza la estructura de la figura 2.65 para obtener un control PID lineal. Asimismo, el trabajo de Johnson y Smartt [JOH95], describe la operación de un controlador TSK-0 como modelo, respectivamente, de sistemas PD y PI no lineales, aspecto que describe el corolario 1 al lema 2.4.

Como trabajo destacado, cabe recalcar la aportación del anteriormente citado trabajo de H. Ying [YIN98], en el que el autor, aduciendo la necesidad de reducir la complejidad paramétrica de un controlador TSK-1 (cuando entendemos que es la mínima complejidad paramétrica necesaria para sintetizar el comportamiento no lineal deseado), propone el uso de reglas del tipo

^{2,10} Los resultados sobre aspectos analíticos respecto a controladores difusos TSK son muy escasos [...] en el presente, en la literatura no existe ninguna estructura analítica sobre los controladores difusos TSK, y mucho menos una relación entre los controladores difusos TSK y controladores convencionales como los ampliamente utilizados controladores PID.

$$R^l: \text{ SI } u \text{ es } A^l \text{ } \mu_{R^l}(u) \text{ ENTONCES } v = c_0^l \left(\sum_{j=0}^n c_j u_j \right) \quad (2.289)$$

en las que, obsérvese que la combinación lineal de parámetros consecuentes está prefijada por los parámetros c_j comunes a todas las reglas, siendo así que tan solo el parámetro c_0^l varía entre cada regla. Nótese que dicha descripción conlleva implícitamente una descomposición del sistema difuso TSK1 en un sistema no lineal TSK-0 (que proporciona una ganancia variable) que actúa sobre un sistema PID lineal clásico, dado que la relación analítica de transferencia, bajo la suposición de reglas del tipo (2.289) y entradas dinámicas de tipo PID (2.281), deviene:

$$\begin{aligned} v(t) &= f^{TSK1} \{u_e^P(t), u_e^I(t), u_e^D(t)\} = \\ &= \{k_P u_e^P(t) + k_I u_e^I(t) + k_D u_e^D(t)\} \sum_{l=1}^{M^l} c_0^l \cdot \{\mu_{R_P^l}(u_e^P(t)) * \mu_{R_I^l}(u_e^I(t)) * \dots * \mu_{R_D^l}(u_e^D(t))\} \end{aligned} \quad (2.290)$$

La anterior distribución no justifica la síntesis mediante un controlador TSK-1, dado que la combinación lineal es constante y no se explotan las capacidades del modelo TSK-1 (puede interpretarse que se altera la ganancia de lazo en función de la posición sobre el espacio tridimensional, pero no la posición relativa entre polos y ceros de compensación).

2.13.4 Sistema difuso compensador dinámico no lineal arbitrario

Como extensión natural a la anterior descripción de la operación de un controlador difuso como controlador PID no lineal, cabe investigar el modelado y la síntesis de un sistema controlador (compensador) de cualquier dinámica, caracterizada ésta linealmente de forma local como cualquier función de transferencia $H(s)$ (intrínsecamente lineal), aspecto que no ha sido encontrado en la literatura.

A semejanza del control PID, sintetizado mediante la adición de términos (2.281) como representación adecuada a los modelos afines locales TSK-1, debe estudiarse la descripción de cualquier función de transferencia de un compensador genérico (de un número de polos y ceros arbitrario) en forma de términos agregados.

Con dicho objetivo, considérese el sistema lineal dinámico de variables de entrada y salida únicas, representado por la ecuación diferencial ordinaria lineal de orden n arbitraria:

$$\begin{aligned}
& \frac{\partial^n}{\partial t^n} v(t) + a_1 \frac{\partial^{n-1}}{\partial t^{n-1}} v(t) + \dots + a_{n-1} \frac{\partial}{\partial t} v(t) + a_n v(t) = \\
& = b_1 \frac{\partial^{n-1}}{\partial t^{n-1}} u(t) + b_2 \frac{\partial^{n-2}}{\partial t^{n-2}} u(t) + \dots + b_{n-1} \frac{\partial}{\partial t} u(t) + b_n u(t)
\end{aligned} \tag{2.291}$$

la anterior descripción de la dinámica del sistema lineal en el dominio temporal, expresada de forma compacta mediante

$$\sum_{j=0}^n a_{n-j} \frac{\partial^j}{\partial t^j} v(t) = \sum_{j=0}^{n-1} b_{n-j} \frac{\partial^j}{\partial t^j} u(t) \tag{2.292}$$

admite una representación en el dominio complejo transformado de Laplace

$$\sum_{j=0}^n a_{n-j} s^j V(s) = \sum_{j=0}^{n-1} b_{n-j} s^j U(s) \tag{2.293}$$

que facilita la descripción algebraica del mismo, definiéndose la función de transferencia correspondiente al sistema descrito por (2.291), como

$$H(s) = \frac{V(s)}{U(s)} = \frac{\sum_{j=0}^{n-1} b_{n-j} s^j}{\sum_{j=0}^n a_{n-j} s^j} = \frac{b_1 s^{n-1} + \dots + b_{n-1} s + b_n}{s^n + a_1 s^{n-1} + \dots + a_{n-1} s + a_n} = \frac{b(s)}{a(s)} \tag{2.294}$$

Nótese que se plantea, sin pérdida de generalidad, un sistema realizable (*i.e.*, orden del numerador menor que el orden del polinomio característico). Con el objetivo de obtener una versión agregada dinámica expresable como modelo afín lineal, se establece la variable auxiliar $\xi(s)$ (estado parcial) que incorpora la dinámica propia ([FRA91], [OGA98]).

$$\frac{\xi(s)}{U(s)} = \frac{1}{a(s)} \tag{2.295}$$

De forma que la dinámica parcial de realimentación (*feedback*) del sistema, puede expresarse según

$$\frac{\partial^n}{\partial t^n} \xi(t) + a_1 \frac{\partial^{n-1}}{\partial t^{n-1}} \xi(t) + \dots + a_{n-1} \frac{\partial}{\partial t} \xi(t) + a_n \xi(t) = u(t) \quad (2.296)$$

expresión cuya reordenación permite plantear de forma esquemática la agregación de múltiples lazos de realimentación negativa de los estados parciales, que modelan el acoplamiento interno entre los mismos, y descritos de forma compacta por

$$\frac{\partial^n}{\partial t^n} \xi(t) = u(t) - a_1 \frac{\partial^{n-1}}{\partial t^{n-1}} \xi(t) - \dots - a_{n-1} \frac{\partial}{\partial t} \xi(t) - a_n \xi(t) = u(t) - \sum_{j=0}^{n-1} a_{n-j} \frac{\partial^j}{\partial t^j} \xi(t) \quad (2.297)$$

Por su parte, considerando (2.294) y (2.295), la variable de salida se obtiene, a partir de los estados parciales, como un acción de *feedforward*:

$$V(s) = b(s) \xi(s) \quad (2.298)$$

o, equivalentemente, en el dominio temporal

$$v(t) = b_1 \frac{\partial^{n-1}}{\partial t^{n-1}} \xi(t) + b_2 \frac{\partial^{n-2}}{\partial t^{n-2}} \xi(t) + \dots + b_{n-1} \frac{\partial}{\partial t} \xi(t) + b_n \xi(t) = \sum_{j=0}^{n-1} b_{n-j} \frac{\partial^j}{\partial t^j} \xi(t) \quad (2.299)$$

La conjunción de la interpretación gráfica de las expresiones (2.297) y (2.299) conduce al esquema mostrado en la figura 2.66, denominado *forma canónica de control* (por motivos que más adelante serán discutidos) –véase [FRA91], [OGA98]–, y que representa la operación lineal de un sistema caracterizado por la función de transferencia genérica (2.294). Dicha estructura aparece asimismo como estructura canónica de síntesis (si bien que presentando elevada sensibilidad a los errores de implementación) de filtros en tiempo continuo genéricos de orden arbitrario (véase Tsividis y Voorman, [TSI93]).

La descripción del anterior sistema mediante una descripción lineal de estado (2.276) conduce a las matrices

$$A = \begin{bmatrix} -a_1 & -a_2 & \cdots & -a_n \\ 1 & 0 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \quad B = \begin{bmatrix} 1 \\ 0 \\ \vdots \\ 0 \end{bmatrix} \quad C = [b_1 \quad b_2 \quad \cdots \quad b_n] \quad (2.300)$$

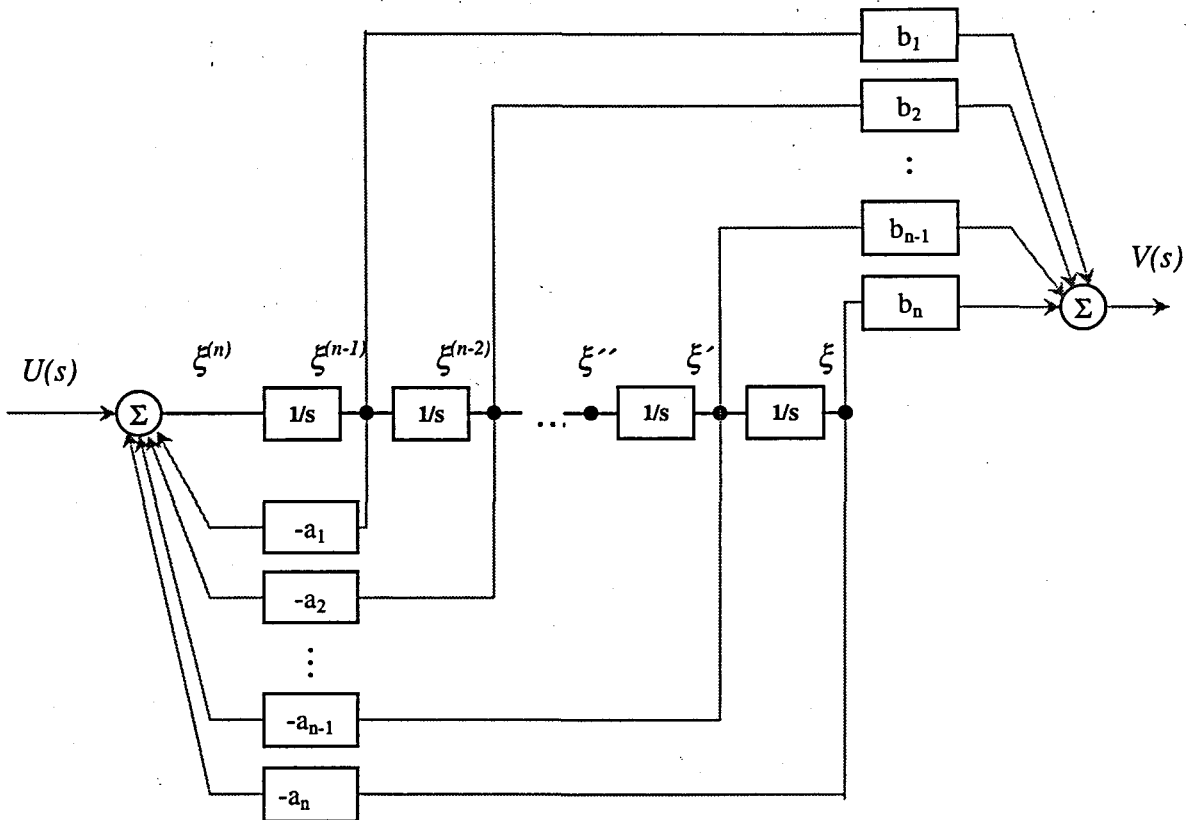


Figura 2.66 Diagrama de bloques de una función de transferencia lineal genérica según la forma canónica de control.

y a un polinomio característico (2.301) que define la dinámica propia del sistema, descripciones que serán de utilidad en un apartado posterior.

$$a(s) = \sum_{j=0}^n a_{n-j} s^j = s^n + a_1 s^{n-1} + \dots + a_{n-1} s + a_n \tag{2.301}$$

Cabe considerar, con el objetivo de establecer posteriores identificaciones entre distintos modelos, la extensión de la estructura canónica de síntesis de sistemas dinámicos mostrada en la figura 2.66 hacia su versión en tiempo discreto, mostrada en la figura 2.67 –véase [ARS88]–. En dicho caso, y tal como muestra dicha figura, el sistema formado por el conjunto de retardos y los lazos de realimentación negativos se identifica con los denominados *modelos discretos autoregresivos* (AR), mientras que la conjunción de la sucesión de retardos junto a la agregación lineal de operación *feedforward* corresponde al modelo de los filtros de tiempo discreto de *respuesta impulsional finita* (FIR).

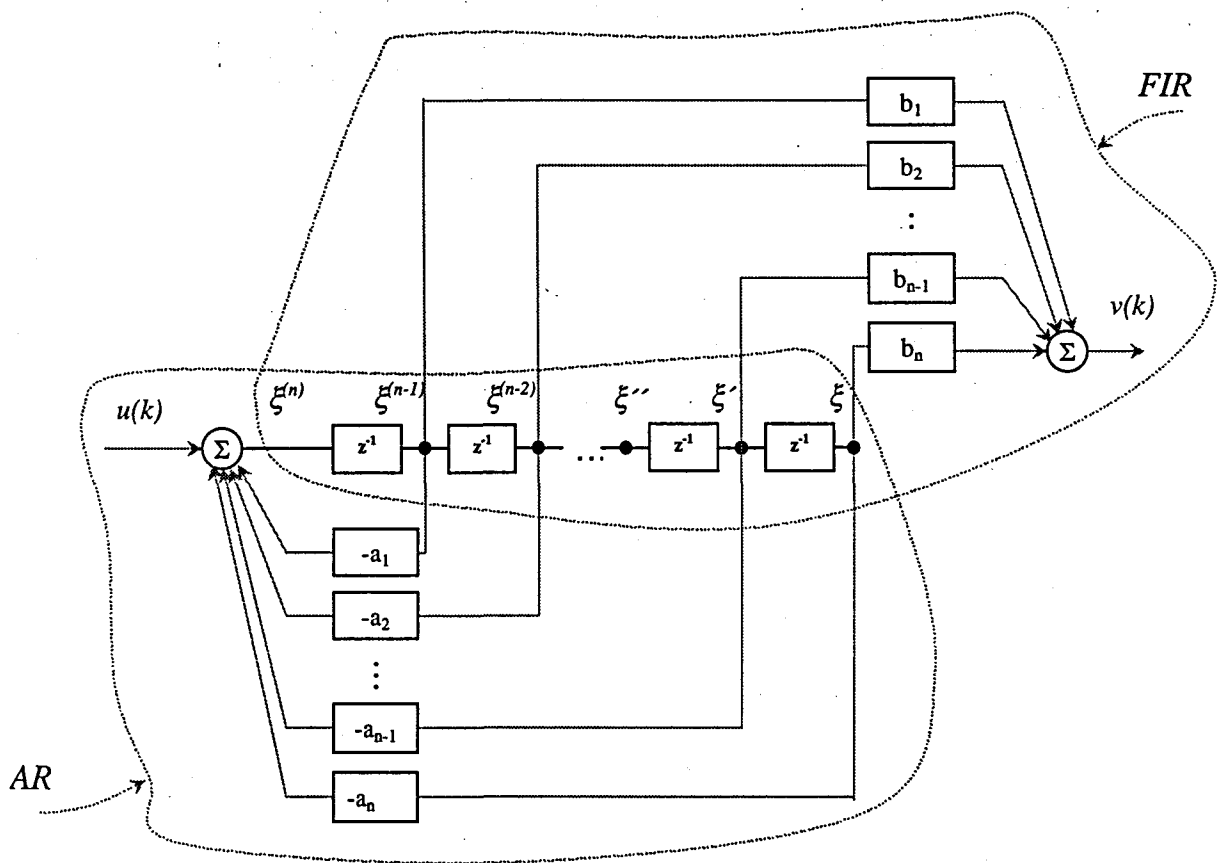


Figura 2.67 Diagrama de bloques de una función de transferencia discreta lineal genérica según la forma canónica de control

La descripción de la operación de un sistema dinámico lineal (en particular actuando como compensador universal, en la aplicación de control bajo estudio) mediante el anterior diagrama permite generalizar la agregación lineal de realimentación *feedback* y *feedforward* hacia dos operaciones no lineales de *feedback* y *feedforward*, obteniéndose los lemas y corolarios que a continuación siguen sobre la operación de un sistema difuso, mediante la acción sobre dinámica externa, como compensador universal no lineal.

2.13.4.1 Lema 2.5. Controlador TSK-1 como compensador arbitrario dinámico no lineal universal (síntesis directa)

Considérese un sistema de inferencia difusa TSK-1 (2.257), cuyos antecedentes establecen una división regular del espacio de entrada multidimensional formado por el conjunto de estados $\{\frac{\partial^n}{\partial t^n}\xi(t), \frac{\partial^{n-1}}{\partial t^{n-1}}\xi(t), \dots, \frac{\partial}{\partial t}\xi(t), \xi(t)\}$ mediante funciones base pseudotrapezoidales, y descrito por una base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^l$) de

consecuentes dobles (2.302) (sistema estático difuso MIMO de doble salida) según la disposición de la figura 2.68.

$$\begin{aligned}
 R^l: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^l \mid_{\mu_{R^l}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = - \sum_{j=1}^{n-1} a_j^l \xi^j) \text{ Y } (v_2 = \sum_{j=1}^{n-1} b_j^l \xi^j) \\
 & \vdots \\
 R^l: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^l \mid_{\mu_{R^l}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = - \sum_{j=1}^{n-1} a_j^l \xi^j) \text{ Y } (v_2 = \sum_{j=1}^{n-1} b_j^l \xi^j) \\
 & \vdots \\
 R^{M^l}: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^{M^l} \mid_{\mu_{R^{M^l}}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = - \sum_{j=1}^{n-1} a_j^{M^l} \xi^j) \text{ Y } (v_2 = \sum_{j=1}^{n-1} b_j^{M^l} \xi^j)
 \end{aligned} \tag{2.302}$$

en dicho caso el sistema de inferencia difusa TSK-1 constituye un sistema compensador dinámico no lineal universal. #

Prueba del lema 2.5

Considerando la definición del sistema de inferencia difusa descrito en el lema anterior, mostrado en la figura 2.68 (nótese que tan sólo se muestra el compensador de control, en lazo abierto), su relación entrada-salida analítica deviene localmente (sobre la l -ésima división ortogonal del espacio de estados) modelada por

$$H^l(s) = \frac{V(s)}{U(s)} = \frac{\sum_{j=0}^{n-1} b_{n-j}^l s^j}{\sum_{j=0}^n a_{n-j}^l s^j} = \frac{b_1^l s^{n-1} + \dots + b_{n-1}^l s + b_n^l}{s^n + a_1^l s^{n-1} + \dots + a_{n-1}^l s + a_n^l} = \frac{b^l(s)}{a^l(s)} \tag{2.303}$$

descripción que se obtiene en virtud de la localidad de las funciones base, la estricta acotación del soporte de interpolación de las funciones base pseudotrapezoidales, de forma paralela a la prueba del lema 2.4, y considerando el desarrollo de obtención del modelo lineal canónico (2.291)-(2.299). Dado que los parámetros característicos $\{a_1^l, \dots, a_{n-1}^l, a_n^l, b_1^l, \dots, b_{n-1}^l, b_n^l\}$ de dicho modelo local lineal dependen de la posición sobre el espacio de entrada, el sistema difuso definido por (2.302) se comporta como compensador dinámico no lineal universal. #

Nótese que el sistema anteriormente descrito constituye, en general, el modelo de un sistema dinámico no lineal arbitrario, (además de ser óptimo desde el punto de vista de aproximación de la función no lineal), y en particular, de un compensador dinámico no lineal universal cuando aquél se inserta en el lazo de realimentación de un sistema de control. En este sentido, adviértase la similitud del modelo dinámico no lineal mostrado en la figura 2.68 como caso particular de un sistema SISO respecto al esquema genérico planteado en la figura 2.63a, de

modo que el sistema difuso estático MIMO de la figura 2.68 sintetiza o modela las funciones ϕ_{NL} y ψ_{NL} .

Como caso particular respecto a la generalidad de síntesis de un modelo dinámico no lineal como compensador arbitrario que establece el lema 2.5, cabe plantear la asignación local de parámetros que conlleven una realimentación *positiva* local o zonal como modelo (2.303), aspecto que revierte en una mayor flexibilidad frente al problema de diseño de un controlador o compensador. Nótese, asimismo que los modelos locales son estrictamente lineales, de forma que la incorporación de un término constante para conformar modelos locales de realimentación afines, permitiría excluir la obtención explícita del error respecto a una referencia constante u_{REF} , referencia que pasaría a estar descrita internamente en el modelo y que, en general, sería variable en función de la posición en el espacio de estado.

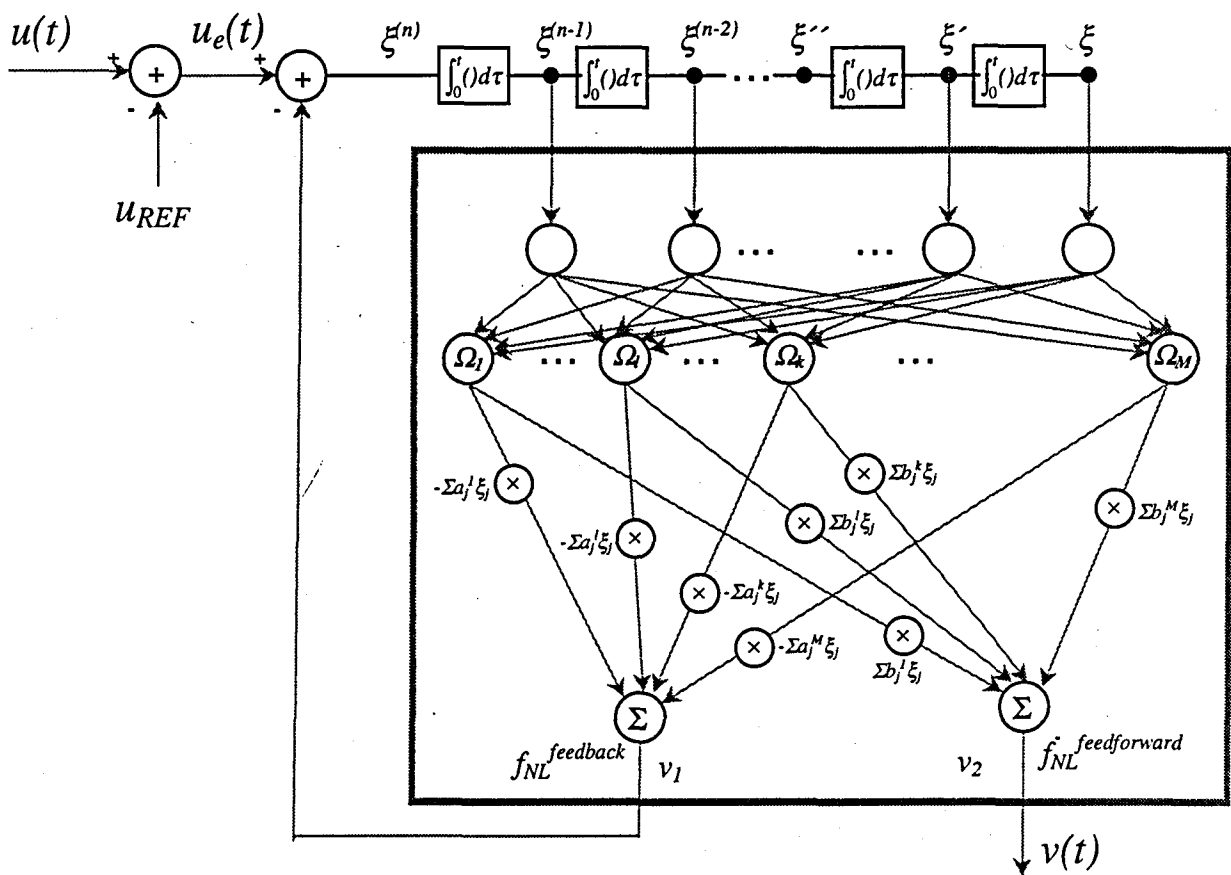


Figura 2.68 Controlador difuso TSK-1 en configuración de compensador dinámico universal no lineal

En la definición del sistema difuso que sintetiza las dos funciones lineales de acoplamiento entre estados se ha considerado la condición de ortogonalidad en la síntesis de modelos MIMO difusos estáticos –aspecto ilustrado por la figura 2.35-, y que, dado que trata con la

ortogonalidad de los conjuntos antecedentes de división topológica, es indiferente del modelos de consecuentes, y, en particular, es aplicable a conjuntos consecuente afines propios a los modelos TSK-1.

Obsérvese que la particularización obvia del modelo simplificado de Ying (2.289) sobre el anterior modelo dinámico, conduciría a un sistema de ganancia variable en función de la posición del espacio de estados, si bien que con una dinámica $H(s)$ prefijada.

Llegados a este punto, conviene citar que la representación según la forma canónica de control mostrada en la figura 2.66 no es la representación única de un sistema dinámico lineal, según su modelo genérico (2.276), pero sí es aquella que permite la aplicación de las dos funciones no lineales sobre el mismo conjunto de variables dinámicas (a diferencia de la forma canónica del observador –veáse [FRA91], [OGA98]-, o las formas canónicas de síntesis de filtros IIR, cuya respuesta impulsional infinita, *i.e.*, de función de transferencia arbitraria, se conforma como cascada de un filtro FIR y un filtro AR, de forma que no se comparten las líneas de retardos, sino que éstas son dobladas, –veáse [OPP89], [KAL97]-), permitiendo la favorable aplicación de un solo sistema difuso MIMO de acoplamiento no lineal interno entre estados, en lugar de dos sistemas difusos separados de *feedback* y *feedforward*.

Nótese que el anterior lema admite la interpretación de plantear una síntesis directa y explícita del compensador dinámico no lineal universal (o del sistema dinámico no lineal, en general), al estar incluidos en el sistema de inferencia (2.303) un conjunto de parámetros que están directamente relacionados con el modelo de una función de transferencia lineal (2.294), siendo por tanto analíticamente interpretables, como ayuda directa para la síntesis del sistema difuso compensador universal.

2.13.4.2 Corolario 1 al lema 2.5. Controlador TSK-0 (o sistema de agregación local) como compensador arbitrario dinámico no lineal universal

Considérese un sistema de inferencia difusa TSK-0 (2.260), o equivalentemente, cualquier sistema de agregación local asimilable al mismo, cuyos antecedentes (funciones base) establecen una división regular del espacio n -dimensional formado por el conjunto de estados

$\{ \frac{\partial^n}{\partial t^n} \xi(t), \frac{\partial^{n-1}}{\partial t^{n-1}} \xi(t), \dots, \frac{\partial}{\partial t} \xi(t), \xi(t) \}$ mediante funciones base pseudotrapezoidales, y

descrito por la base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^0$) :

$$\begin{aligned}
R^1: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^1 \mid_{\mu_{R^1}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = c_{01}^1) \text{ Y } (v_2 = c_{02}^1) \\
& \vdots \\
R^l: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^l \mid_{\mu_{R^l}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = c_{01}^l) \text{ Y } (v_2 = c_{02}^l) \\
& \vdots \\
R^{M^0}: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^{M^0} \mid_{\mu_{R^{M^0}}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = c_{01}^{M^0}) \text{ Y } (v_2 = c_{02}^{M^0})
\end{aligned} \tag{2.304}$$

en dicho caso el sistema de inferencia difusa, considerando la estructura canónica no lineal de la figura 2.69, constituye un sistema compensador dinámico no lineal universal.#

2.13.4.3 Corolario 2 al lema 2.5. *Compensador $H(s)$ lineal \subseteq Controlador TSK-1 como compensador arbitrario dinámico no lineal universal (síntesis directa)*

Considérese un compensador lineal arbitrario descrito por la relación (2.294), en dicho caso, siempre existe un sistema de inferencia difusa TSK-1 (2.257), definido por una regla única ($M^l=1$)

$$R^1: \text{ SI } \langle \text{cierto} \rangle \text{ ENTONCES } (v_1 = - \sum_{j=1}^{n-1} a_j^1 \xi^j) \text{ Y } (v_2 = \sum_{j=1}^{n-1} b_j^1 \xi^j) \tag{2.305}$$

y la estructura canónica no lineal de la figura 2.68, que coincide con el sistema compensador dinámico lineal considerado #

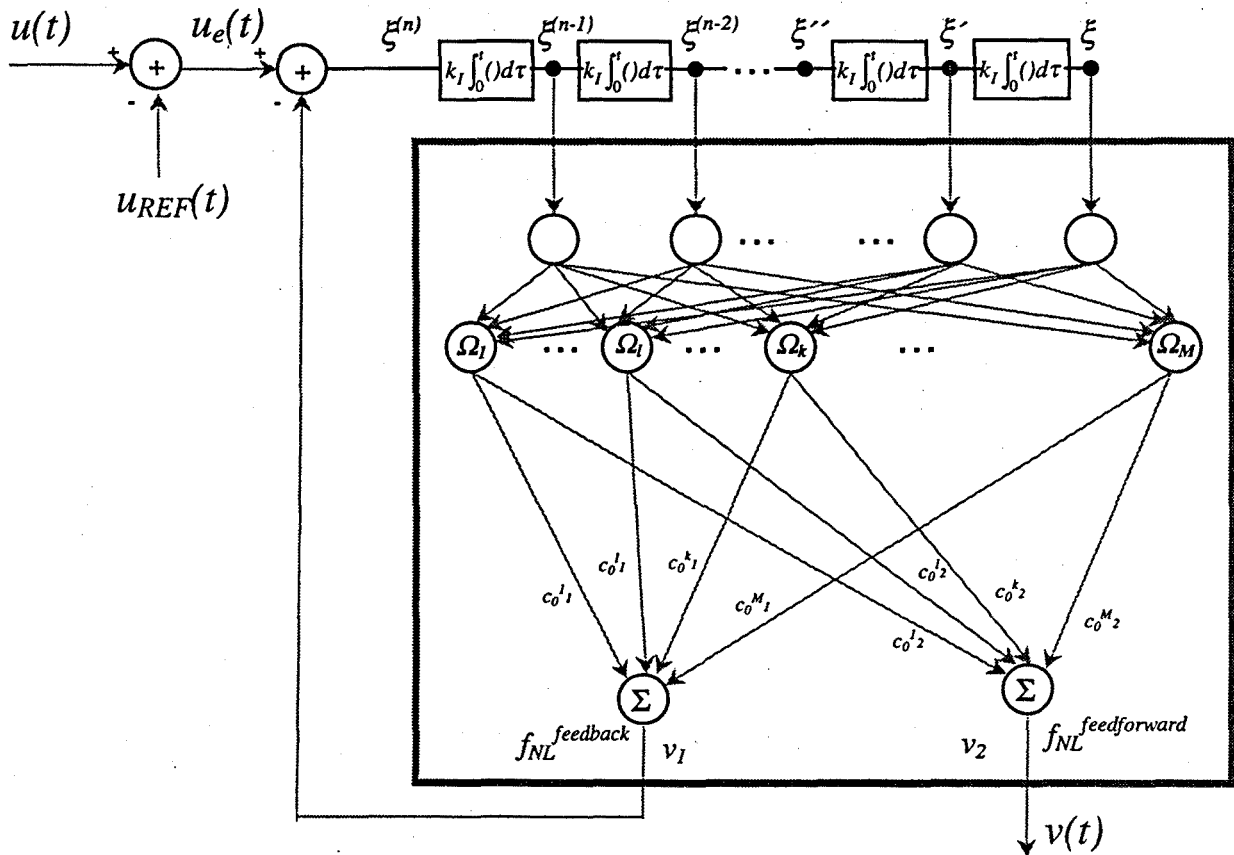


Figura 2.69 Controlador difuso TSK-0 en configuración de compensador dinámico universal no lineal

2.13.4.4 Corolario 3 al lema 2.5. Compensador $H(s)$ lineal \subseteq Controlador TSK-0 (o sistema de agregación local) como compensador arbitrario dinámico no lineal universal

Considérese un compensador lineal arbitrario descrito por la relación (2.294), en dicho caso, siempre existe un sistema de inferencia difusa TSK-0 (2.260), definido por la base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^0$):

$$\begin{aligned}
 R^1: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^1 \mid_{\mu_{R^1}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = c_{01}^1) \text{ Y } (v_2 = c_{02}^1) \\
 & \vdots \\
 R^l: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^l \mid_{\mu_{R^l}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = c_{01}^l) \text{ Y } (v_2 = c_{02}^l) \\
 & \vdots \\
 R^{M^0}: & \text{ SI } (\xi, \dots, \xi^{(n-1)}) \text{ es } A^{M^0} \mid_{\mu_{R^{M^0}}(\xi, \dots, \xi^{(n-1)})} \text{ ENTONCES } (v_1 = c_{01}^{M^0}) \text{ Y } (v_2 = c_{02}^{M^0})
 \end{aligned} \tag{2.306}$$

y la estructura canónica no lineal de la figura 2.69, que coincide con el sistema compensador dinámico lineal considerado #

Nótese que, de forma paralela a los razonamientos sobre el lema 2.4, el corolario 1 al lema 2.5 representa una solución, que si bien es válida, es subóptima en cuanto al número de reglas necesarias (o divisiones del espacio multidimensional) – *i.e.* $M^0 \gg M^1$ –, así como una falta de relación directa entre los parámetros que conforman la superficie multidimensional no lineal y los modelos localizados lineales $H^l(s)$ resultantes.

Como discusión de los resultados anteriores asociados al lema 2.5, que demuestra la capacidad de modelar y sintetizar modelos dinámicos no lineales arbitrarios que ostenta la conjunción de un sistema difuso como modelo o síntesis de los acoplamientos estáticos no lineales de *feedback* y *feedforward* entre estados, cabe citar ciertos trabajos previos de la literatura de contenido afín al presentado. Considérese, para establecer una comparación homogénea, la versión discreta del sistema dinámico no lineal difuso mostrada en la figura 2.70.

La descripción de un sistema dinámico en base a las series de Volterra admite como representación equivalente una descripción de estado (2.273)-(2.275) en la que las representaciones no lineales se efectúan mediante aproximaciones polinómicas según desarrollos multidimensionales localizados de Taylor –véase [SCH80], [SIC94], [KAL97]–, aspecto del que se desprende su falta de aproximación global, y justifica su aplicación al modelado de elementos dinámicos con características no lineales débiles (*e.g.*, diseño de osciladores), si bien que la discusión sobre dichos modelos será retomada en un apartado posterior. La versión práctica más ampliamente considerada de las series de Volterra son los *filtros no lineales FIR polinómicos*, que consideran tan sólo el bloque de acción *feedforward* –véase la figura 2.67– afectado de una función polinómica multidimensional. El desarrollo en serie polinómica admite una descripción en forma de red (neuronal) [SHI95], siendo así que dichos filtros FIR polinómicos, que constituyen un ejemplo particular del modelo dinámico no lineal, han sido recientemente considerados adaptativos en el tiempo, modelando comportamientos no estacionarios (como presentan Iatrou *et al.* [IAT99]).

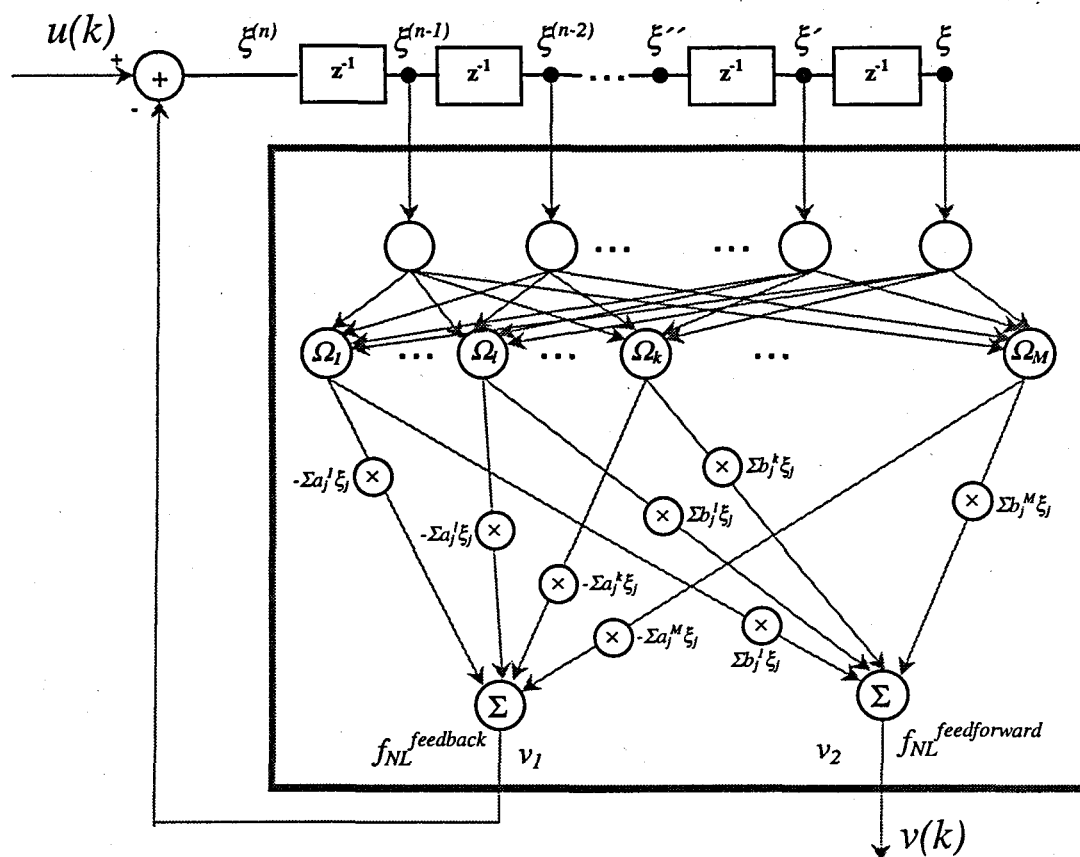


Figura 2.70 Controlador difuso TSK-1 en configuración de sistema discreto dinámico universal no lineal.

Con el objetivo de superar el mal condicionamiento de aproximación no lineal (por localizado) de los filtros FIR polinómicos, las aproximaciones de Narendra *et al.* [NAR90], ya citadas, consideran la aproximación mediante redes neuronales MLP, además de la extensión a modelos IIR (mediante la adición de realimentación dinámica). Esta aproximación es equivalente a la operación como filtros FIR (eventualmente IIR) no lineales de las denominadas redes neuronales de retardo temporal (*time delay neural networks*, en inglés) – véase [ZUR92], [LIN96b]–, de posterior aparición, y que son ampliamente utilizadas como procesadores no lineales de señal en aplicaciones de clasificación de señales (clasificación de patrones temporales). De forma complementaria, los modelos de Hopfield de redes neuronales [ZUR92], constituyen un caso particular de sistemas discretos realimentados y autónomos (*i.e.* consideran la aplicación de un modelo autoregresivo AR discreto sobre una red neuronal MLP clásica), que, partiendo de un estado inicial, y en virtud de la recurrencia dinámica no lineal, convergen hacia un estado definitivo, de forma que condiciones iniciales cercanas convergen hacia un mismo estado, y ello justifica que sean utilizadas como memorias asociativas de reconocimiento de patrones.

A su vez, la propuesta de Lin y Unbehauen [LIN90] considera la aproximación global no lineal de los modelos canónicos PWL de Chua, previamente comparados con el modelo difuso, para la síntesis de filtros FIR discretos no lineales arbitrarios.

Por otra parte, en [SAR95] se describe una aplicación concreta de un sistema difuso simplificado TSK-0 (de bipartición simple sobre cada dimensión de entrada al mismo) como síntesis de la función no lineal de *feedforward* de un filtro FIR, en una aplicación de filtrado no lineal para ecualización de canal. Destaca, por último, el trabajo de Valente [VAL95], quien propone, si bien que de forma implícita, un sistema difuso como modelo de la función no lineal en un filtro IIR.

Frente a las anteriores propuestas, el esquema de la figura 2.70, en la versión discreta, o el esquema de la figura 2.69, en su versión continua, constituyen una solución óptima al problema de modelado o síntesis de un sistema dinámico no lineal, por la capacidad de aproximación de cualquier sistema dinámico no lineal de forma óptima, debido a las propiedades de aproximación estática óptima de los sistemas difusos TSK-1, ya discutidas, y, en particular, de los sistemas (difusos) de agregación local.

2.13.5 Sistema difuso de control de estado no lineal arbitrario

Retomando el problema de la síntesis del controlador dinámico universal y tras presentar un modelo de sistema dinámico no lineal universal que puede actuar como compensador universal (lema 2.5), a continuación se trata la noción de *controlador de estado*, que en su definición dentro del área de teoría de control moderna lineal –véase [FRA91], [OGA98]– establece una realimentación global de estados lineal, que comporta la posibilidad de asignar cualquier dinámica propia al sistema realimentado (propiedad denominada posicionamiento de polos, o *pole-placement*, en inglés), y se extiende hacia una versión no lineal conformada mediante modelos localizados (difusos).

El siguiente desarrollo se plantea, por simplificación de las expresiones, para el caso de un sistema de control de entrada y salida única (control SISO), de dinámica arbitraria.

Para iniciar el estudio, supóngase el problema de control mediante realimentación de estado de una planta SISO lineal, y que dicha planta está descrita por su modelo canónico de control – (2.300) y figura 2.66– (si este no fuera el caso, cabe aplicar la transformación lineal necesaria para establecer dicho modelo equivalente, transformación implícita en la fórmula de Ackermann de posicionamiento de polos [FRA91]). Bajo la anterior demarcación del problema de control, se plantea el siguiente lema, que supone un modelo lineal para la planta

$$\begin{aligned}\dot{\mathbf{x}}(t) &= \mathbf{A}^P \mathbf{x}(t) + \mathbf{B}^P \mathbf{u}(t) \\ \mathbf{v}(t) &= \mathbf{C}^P \mathbf{x}(t)\end{aligned}\quad (2.307)$$

representado en la forma canónica de control

$$\mathbf{A}^P = \begin{bmatrix} -a_1 & -a_2 & \cdots & -a_n \\ 1 & 0 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \quad \mathbf{B}^P = \begin{bmatrix} 1 \\ 0 \\ \vdots \\ 0 \end{bmatrix} \quad \mathbf{C}^P = [b_1^P \quad b_2^P \quad \cdots \quad b_n^P] \quad (2.308)$$

y que, por tanto, presenta una dinámica propia asociada

$$a^P(s) = \sum_{j=0}^n a_{n-j}^P s^j = s^n + a_1 s^{n-1} + \cdots + a_{n-1} s + a_n = 0 \quad (2.309)$$

2.13.5.1 *Lema 2.6. Controlador TSK-1 como controlador de estado dinámico no lineal universal (síntesis directa).*

Considérese un sistema de inferencia difusa TSK-1 (2.257), cuyos antecedentes establecen una división completa del espacio de entrada multidimensional formado por el conjunto de estados que definen la dinámica de la planta de control $\{ \frac{\partial^n}{\partial t^n} x(t), \frac{\partial^{n-1}}{\partial t^{n-1}} x(t), \dots, \frac{\partial}{\partial t} x(t), x(t) \}$ mediante funciones base pseudotrapezoidales, y descrito por una base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^l$) cuyos consecuentes corresponden a modelos locales lineales (2.310) según la disposición de la figura 2.71.

$$\begin{aligned}R^l: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^l \mid_{\mu_{R^l}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = - \sum_{j=1}^n k_j^l x^j = -(\mathbf{k}^l)^T \mathbf{x}) \\ & \vdots \\ R^l: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^l \mid_{\mu_{R^l}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = - \sum_{j=1}^n k_j^l x^j = -(\mathbf{k}^l)^T \mathbf{x}) \\ & \vdots \\ R^{M^l}: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^{M^l} \mid_{\mu_{R^{M^l}}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = - \sum_{j=1}^n k_j^{M^l} x^j = -(\mathbf{k}^{M^l})^T \mathbf{x})\end{aligned} \quad (2.310)$$

en dicho caso el sistema de inferencia difusa constituye un sistema compensador de estado dinámico no lineal universal. #

Prueba del lema 2.6

Considerando la definición del sistema de inferencia difusa descrita en el lema 2.6, mostrado en la figura 2.71 en configuración de control sobre una planta genérica dinámica lineal, su relación entrada-salida analítica deviene, según la expresión (2.259)

$$\begin{aligned}
 v^C(t) &= f^{TSK1} \left\{ \frac{\partial^n}{\partial t^n} x(t), \frac{\partial^{n-1}}{\partial t^{n-1}} x(t), \dots, \frac{\partial}{\partial t} x(t), x(t) \right\} = \\
 &= \sum_{l=1}^{M^1} \left\{ \sum_{j=1}^n k_j^l x^j \right\} \left\{ \mu_{R_1^l}(x(t)) * \mu_{R_2^l} \left(\frac{\partial}{\partial t} x(t) \right) * \dots * \mu_{R_n^l} \left(\frac{\partial^n}{\partial t^n} x(t) \right) \right\} = \\
 &= \sum_{l=1}^{M^1} \left\{ -(k^l)^T x \right\} \left\{ \mu_{R_1^l}(x(t)) * \mu_{R_2^l} \left(\frac{\partial}{\partial t} x(t) \right) * \dots * \mu_{R_n^l} \left(\frac{\partial^n}{\partial t^n} x(t) \right) \right\}
 \end{aligned} \tag{2.311}$$

En virtud de la localidad de las funciones base y la estricta acotación del soporte de interpolación de las funciones base pseudotrapezoidales, el modelo local linealizado sobre el soporte de máxima credibilidad de la regla l -ésima, obtenido como los terminos del desarrollo de Taylor (2.266) sobre el centro de dicho soporte $s_l^C = [u_{l1}^C - s_j^l/2, u_{l1}^C + s_j^l/2] \times \dots \times [u_{ln}^C - s_j^l/2, u_{ln}^C + s_j^l/2]$, resulta en

$$\begin{aligned}
 v^C(t) \Big|_{u_{c1}^l, u_{c2}^l, \dots, u_{cn}^l} &= f^{TSK1} \left\{ \frac{\partial^n}{\partial t^n} x(t), \frac{\partial^{n-1}}{\partial t^{n-1}} x(t), \dots, \frac{\partial}{\partial t} x(t), x(t) \right\} \Big|_{u_{c1}^l, u_{c2}^l, \dots, u_{cn}^l} = \\
 &= - \sum_{j=1}^n k_j^l x^j = -(k^l)^T x
 \end{aligned} \tag{2.312}$$

considerando el anterior modelo local de realimentación de estado, la matriz de acoplamiento entre estados que modela (localmente) el sistema dinámico formado por el conjunto de la planta y el controlador, resulta en

$$A^P - BK^l = \begin{bmatrix} -a_1 - k_1^l & -a_2 - k_2^l & \dots & -a_n - k_n^l \\ 1 & 0 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \tag{2.313}$$

cuya dinámica propia local, asociada a los polos del sistema realimentado, y que está descrita por la ecuación característica

$$a^l(s) = s^n + (a_1^l + k_1^l)s^{n-1} + \dots + (a_{n-1}^l + k_{n-1}^l)s + (a_n^l + k_n^l) = 0 \quad (2.314)$$

puede ser (localmente) asignada a cualquier dinámica local preestablecida (cuya definición puede derivarse según diferentes criterios usualmente relacionados con la minimización de ciertos índices (e.g. ITAE, H^∞) [FRA91])

$$\alpha^l(s) = s^n + \alpha_1^l s^{n-1} + \dots + \alpha_{n-1}^l s + \alpha_n^l = 0 \quad (2.315)$$

mediante la identificación de las constantes (locales) de realimentación de estado

$$k_i^l = -a_i + \alpha_i^l \quad \text{con } l=1, \dots, M^l \quad i=1, \dots, n \quad (2.316)$$

Dado que los parámetros característicos k_i^l locales que definen el posicionamiento de polos local (2.316) dependen de la posición sobre el espacio de estados, el sistema difuso definido por (2.310) se comporta como un controlador de estado dinámico no lineal universal #.

Considerando que los parámetros incluidos en la descripción de los consecuentes del modelo difuso (2.310) están directamente relacionados con el problema clásico de posicionamiento de polos lineal, mediante la expresión localizada (2.316), el lema 2.6 establece un método de síntesis directa y explícita del controlador de estado dinámico no lineal universal.

A continuación se exponen los siguientes corolarios, que tratan la aproximación mediante sistemas (difusos) de agregación local o TSK-0, para los que el razonamiento anterior sobre sintetizabilidad directa no es válido, y plantean la inclusión de los problemas lineales como casos particulares.

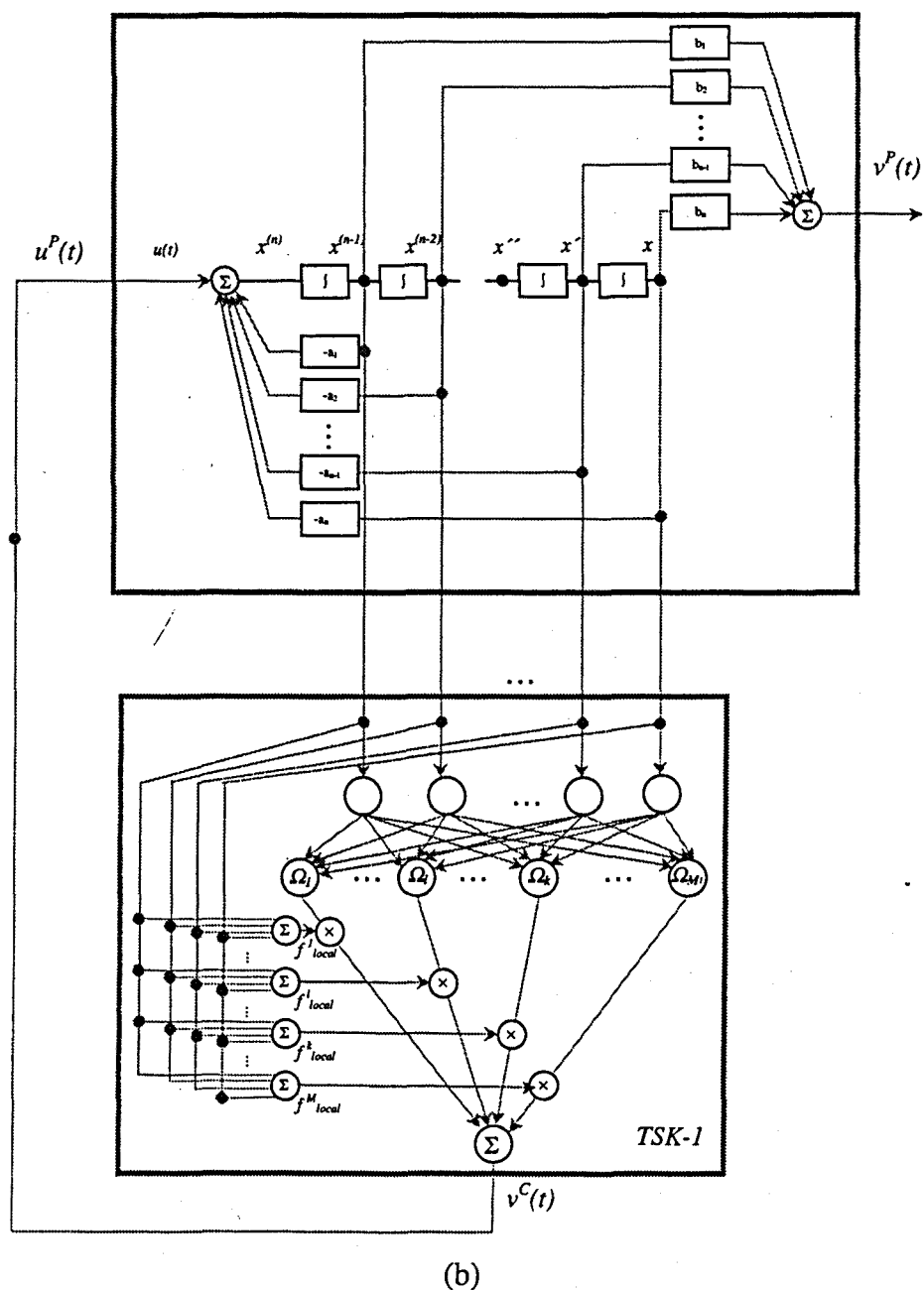
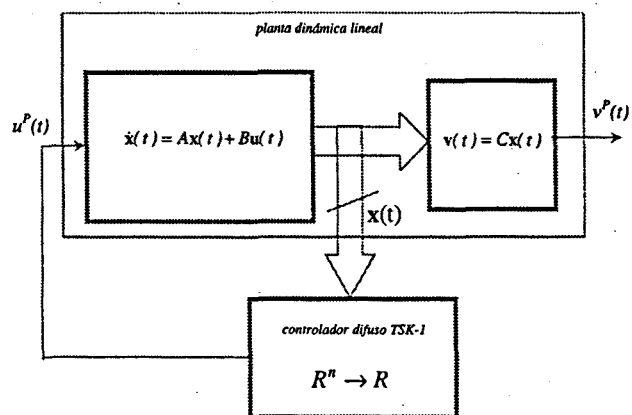


Figura 2.71 Controlador difuso TSK-1 como controlador de estado no lineal universal
 (a) esquema de bloques (b) representación detallada

2.13.5.2 Corolario 1 al lema 2.6. Controlador TSK-0 (o sistema de agregación local) como controlador de estado dinámico no lineal universal

Considérese un sistema de inferencia difusa TSK-0 (2.260), o equivalentemente, cualquier sistema de agregación local asimilable al mismo, cuyos antecedentes (funciones base) establecen una división completa del espacio n -dimensional formado por el conjunto de estados $\{ \frac{\partial^n}{\partial t^n} x(t), \frac{\partial^{n-1}}{\partial t^{n-1}} x(t), \dots, \frac{\partial}{\partial t} x(t), x(t) \}$ mediante funciones base pseudotrapezoidales, y descrito por la base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^0$):

$$\begin{aligned}
 R^1: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^1 |_{\mu_{R^1}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = c_{01}^1) \\
 & \vdots \\
 R^l: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^l |_{\mu_{R^l}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = c_{01}^l) \\
 & \vdots \\
 R^{M^0}: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^{M^1} |_{\mu_{R^{M^0}}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = c_{01}^{M^0})
 \end{aligned} \tag{2.317}$$

en dicho caso el sistema de inferencia difusa, considerando la estructura canónica no lineal de la figura 2.72, constituye un sistema compensador dinámico no lineal universal. #

2.13.5.3 Corolario 2 al lema 2.6. Posicionamiento de polos lineal \subseteq Controlador TSK-1 como controlador de estado dinámico no lineal universal (síntesis directa).

Considérese una planta SISO de dinámica lineal descrita por las relaciones (2.307)-(2.309), y una situación de polos deseada para el sistema realimentado (2.315), en dicho caso, siempre existe un sistema de inferencia difusa TSK-1 (2.257), definido por una regla única ($M^1=1$)

$$R^1: \text{ SI } \langle \text{cierto} \rangle \text{ ENTONCES } (v_l = - \sum_{j=1}^n k_j^l x^j = -(\mathbf{k}^l)^T \mathbf{x}) \tag{2.318}$$

y la estructura canónica no lineal de la figura 2.71, que proporciona la realimentación de estado necesaria para la disposición de polos (2.315) #

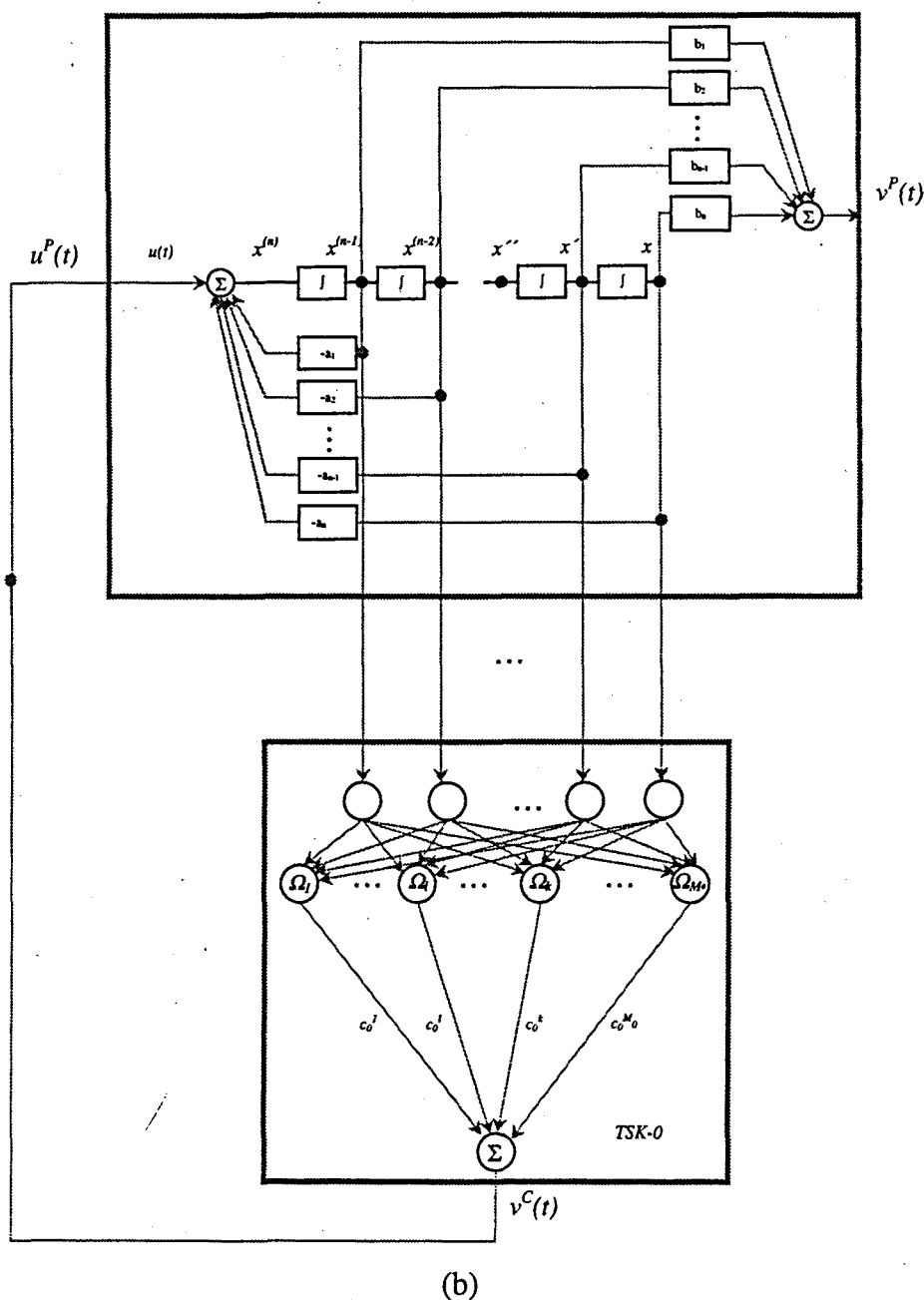


Figura 2.72 Controlador difuso TSK-0 como controlador de estado no lineal universal

2.13.5.4 Corolario 3 al lema 2.6. Posicionamiento de polos lineal \subseteq Controlador TSK-0 (o sistema de agregación local) controlador de estado dinámico no lineal universal

Considérese una planta SISO de dinámica lineal descrita por las relaciones (2.307)-(2.309), y una situación de polos deseada para el sistema realimentado (2.315), en dicho caso, siempre existe un sistema de inferencia difusa TSK-0 (2.260), definido por la base de reglas difusas compuesta de las siguientes reglas (con $l=1, \dots, M^0$):

$$\begin{aligned}
R^1: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^1 |_{\mu_{R^1}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = c_{01}^1) \\
& \vdots \\
R^l: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^l |_{\mu_{R^l}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = c_{01}^l) \\
& \vdots \\
R^{M^0}: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^{M^0} |_{\mu_{R^{M^0}}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = c_{01}^{M^0})
\end{aligned} \tag{2.319}$$

y la estructura canónica no lineal de la figura 2.72, que proporciona la realimentación de estado necesaria para la disposición de polos (2.315) #

El estudio anterior, en el que un controlador dinámico de estado no lineal universal (como acción de *pole-placement* universal no lineal) establece la acción de control sobre una planta dinámica lineal puede extenderse al problema genérico y concluyente de control de una planta compleja no lineal. En dicho caso el anterior control de posicionamiento de polos lineal por zonas se intuye idóneo, dado que el establecimiento de un modelo no lineal de la planta que es homogéneo en su descripción con el controlador no lineal facilita la resolución del problema de control o la síntesis de éste último. El siguiente lema plantea la aplicación del control de posicionamiento de polos no lineal al anterior problema de control.

2.13.5.5 Lema 2.7. Controlador TSK-1 como controlador de estado dinámico no lineal universal aplicado al control de una planta dinámica no lineal (síntesis directa)

Considérese una planta dinámica no lineal descrita mediante la estructura canónica dinámica no lineal, de forma que ésta es susceptible de ser descrita mediante la descripción de estado (2.273) local, proporcionada por el siguiente conjunto de reglas (con $l=1, \dots, M^l$), asociadas a los M^l modelos locales:

$$\begin{aligned}
R^1: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^1 |_{\mu_{R^1}(x, \dots, x^{(n-1)})} \text{ ENTONCES } \begin{cases} \dot{x}(t) = A^1 x(t) + B^1 u(t) \\ v(t) = C^1 x(t) \end{cases} \\
& \vdots \\
R^l: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^l |_{\mu_{R^l}(x, \dots, x^{(n-1)})} \text{ ENTONCES } \begin{cases} \dot{x}(t) = A^l x(t) + B^l u(t) \\ v(t) = C^l x(t) \end{cases} \\
& \vdots \\
R^{M^l}: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^{M^l} |_{\mu_{R^{M^l}}(x, \dots, x^{(n-1)})} \text{ ENTONCES } \begin{cases} \dot{x}(t) = A^{M^l} x(t) + B^{M^l} u(t) \\ v(t) = C^{M^l} x(t) \end{cases}
\end{aligned} \tag{2.320}$$

cuyas matrices están definidas por:

$$A^l = \begin{bmatrix} -a_1^l & -a_2^l & \cdots & -a_n^l \\ 1 & 0 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \quad B^l = \begin{bmatrix} 1 \\ 0 \\ \vdots \\ 0 \end{bmatrix} \quad C^l = [b_1^l \quad b_2^l \quad \cdots \quad b_n^l] \quad (2.321)$$

y presentan una dinámica propia localizada:

$$a^l(s) = \sum_{j=0}^n a_{n-j}^l s^j = s^n + a_1^l s^{n-1} + \dots + a_{n-1}^l s + a_n^l = 0 \quad (2.322)$$

Considerando un sistema de inferencia difusa TSK-1 (2.257), cuyos antecedentes establecen una división regular del espacio de entrada multidimensional formado por el conjunto de estados que definen la dinámica de la planta de control $\{\frac{\partial^n}{\partial t^n} x(t), \frac{\partial^{n-1}}{\partial t^{n-1}} x(t), \dots, \frac{\partial}{\partial t} x(t), x(t)\}$ mediante funciones base pseudotrapezoidales, y descrito por una base de reglas difusas compuesta de las siguientes $l=1, \dots, M^l$ reglas, cuyos consecuentes corresponden a modelos locales lineales (2.323) de realimentación de estado.

$$\begin{aligned} R^l: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^l \big|_{\mu_{R^l}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = - \sum_{j=1}^n k_j^l x^j = -(\mathbf{k}^l)^T \mathbf{x}) \\ R^l: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^l \big|_{\mu_{R^l}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = - \sum_{j=1}^n k_j^l x^j = -(\mathbf{k}^l)^T \mathbf{x}) \\ R^{M^l}: & \text{ SI } (x, \dots, x^{(n-1)}) \text{ es } A^{M^l} \big|_{\mu_{R^{M^l}}(x, \dots, x^{(n-1)})} \text{ ENTONCES } (v_l = - \sum_{j=1}^n k_j^{M^0} x^j = -(\mathbf{k}^{M^0})^T \mathbf{x}) \end{aligned} \quad (2.323)$$

en dicho caso el sistema de inferencia difusa constituye un sistema compensador de estado dinámico no lineal universal para la planta genérica dinámica no lineal.#

Prueba del lema 2.7

Considerando la definición del sistema de inferencia difusa descrito en el lema 2.7, mostrado en la figura 2.73 en configuración de control sobre una planta genérica dinámica no lineal descrita mediante el modelo difuso por (2.320)-(2.322), el modelo dinámico no lineal que incluye tanto a la planta como al controlador, en virtud de la localidad de las funciones base y la estricta acotación del soporte de interpolación de las funciones base

pseudotrapezoidales, deviene descrito por un conjunto de reglas o modelos locales establecidos sobre las zonas ortogonales de división del espacio de estados n -dimensional, cuyas matrices características que modelan el acoplamiento entre estados resultan en

$$A^l - BK^l = \begin{bmatrix} -a_1^l - k_1^l & -a_2^l - k_2^l & \cdots & -a_n^l - k_n^l \\ 1 & 0 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \quad (2.324)$$

modelos locales cuya dinámica propia, asociada a los polos del sistema realimentado equivalente local está asociada a las $l=1, \dots, M^l$ ecuaciones características

$$a^l(s) = s^n + (a_1^l + k_1^l)s^{n-1} + \dots + (a_{n-1}^l + k_{n-1}^l)s + (a_n^l + k_n^l) = 0 \quad (2.325)$$

dinámicas propias locales que pueden ser asignadas a las $l=1, \dots, M^l$ dinámicas propias locales preestablecidas sobre cada división del espacio n -dimensional de estado.

$$\alpha^l(s) = s^n + \alpha_1^l s^{n-1} + \dots + \alpha_{n-1}^l s + \alpha_n^l = 0 \quad (2.326)$$

mediante la identificación de las constantes (locales) de realimentación de estado

$$k_i^l = -a_i^l + \alpha_i^l \quad \text{con } l=1, \dots, M^l \quad i=1, \dots, n \quad (2.327)$$

y que justifica las propiedades de asignación arbitraria de polos sobre cualquier zona del espacio de estado, constituyendo un controlador de estado dinámico no lineal. #

Como conclusión relevante sobre el anterior lema 2.7, nótese que la representación de estado no lineal tanto de la planta como del controlador en un modelo homogéneo, permite apreciar la acción de control de estado no lineal como una compensación local $\cdot (-\sum_{j=1}^n k_j^l x^j = -(k^l)^T x)$ de la dinámica de realimentación que fija la dinámica propia $(-\sum_{j=1}^{n-1} a_j^l \xi^j)$, aspecto que puede apreciarse directamente en la figura 2.72.

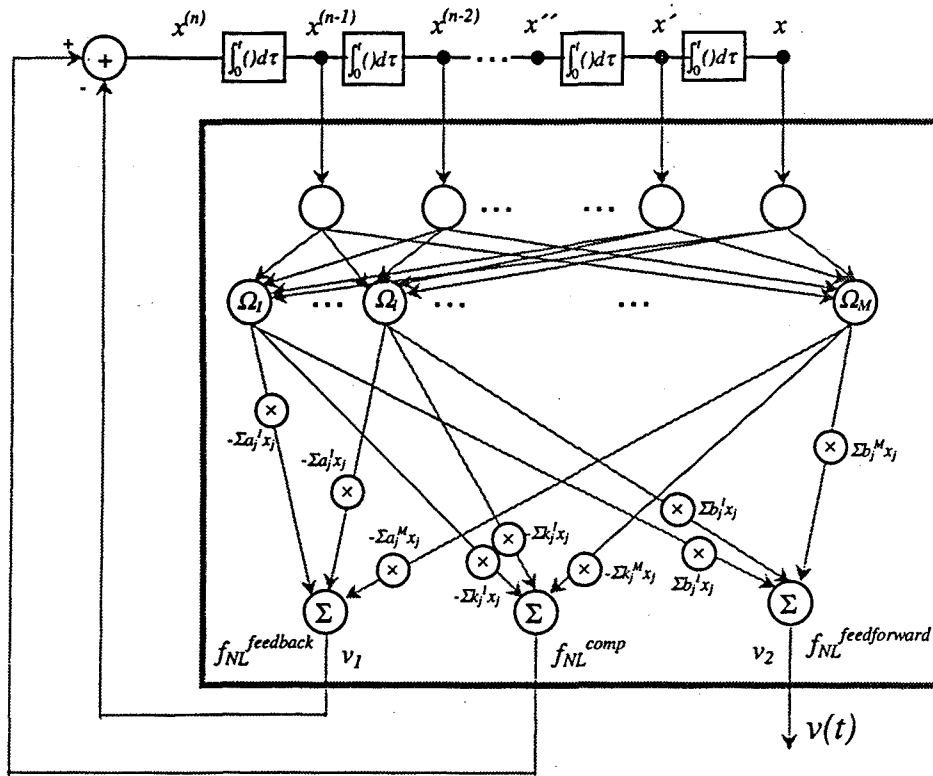


Figura 2.73 Controlador difuso TSK-1 como controlador de estado no lineal universal para una planta dinámica no lineal modelada TSK-1.

Respecto a los lemas 2.6 y 2.7 y los corolarios asociados, nótese que la discusión sobre la favorable comparación entre el modelo TSK-1 respecto al modelo TSK-0, en cuanto a la mínima complejidad y la sintetizabilidad directa se refiere, así como la inclusión de los modelos lineales como casos particulares de los modelos difusos, se extiende de forma directa respecto a aquellas conclusiones sobre los lemas 2.4 y 2.5.

Como extensión natural de los resultados previos, que no será abordada en el presente trabajo, cabe plantear, debido a los análisis localmente lineales que proporciona el modelado local de los modelos difusos TSK-1, una aplicación de los métodos clásicos de incorporación de la entrada de referencia en la realimentación de estado, la inclusión de elementos integradores en la misma, o el planteamiento de un sistema observador como modelo de la planta no lineal dinámica con el fin de obtener explícitamente los estados en el caso en que estos no sean accesibles [FRA91], [OGA98]. Por otra parte, los anteriores lemas han sido enunciados para el caso de un sistema SISO para facilitar su enunciado y la discusión sobre los mismos, si bien que su extensión a los sistemas de control MIMO puede seguir unas pautas equivalentes a las que corresponden a los sistemas lineales [OGA98], considerando las capacidades de aproximación multidimensionales de los sistemas difusos, configurando así sistemas de complejidad arbitraria como el mostrado al inicio del apartado (figura 2.63).

Considerando los antecedentes existentes en la literatura, destaca el hecho de que no haya precedentes en la aplicación de modelos no lineales de tipo red neuronal a la realimentación de estado, y son pocas las muestras de esta aplicación mediante sistemas de inferencia difusa. En particular, los primeros trabajos de Jang –véase [JAN92]– plantean una representación de estado no lineal junto a realimentación de estado difusa, si bien que dicho planteamiento no se desarrolla, estando el trabajo enfocado sobre el autoaprendizaje adaptativo. Por su parte, el reciente trabajo de Ordóñez y Passino [ORD99], de igual forma contextualizado en el área de control adaptativo, desarrolla métodos de realimentación de estado difuso para plantas MIMO.

Como conclusión final, nótese que los anteriores resultados proporcionan un método de modelado y síntesis de sistemas y/o controladores dinámicos no lineales, si bien que el estudio de las propiedades del amplio conjunto de posibles controles no lineales queda fuera del presente trabajo. En particular, cabe argumentar que los resultados anteriores permiten establecer la relación conceptual entre los sistemas difusos, debido a sus capacidades de aproximación no lineal universal, a los que se añade dinámica externa, con aquel conjunto de sistemas no lineales dinámicos particulares, que, siendo determinísticos y de características bien definidas, y por tanto sintetizables mediante un modelo difuso dinámico, exhiben comportamientos *caóticos*^{2.11}.

Por otra parte, y considerando que los anteriores modelos difusos dinámicos plantean la síntesis de funciones no lineales estáticas aplicadas a relaciones dinámicas analíticas, es razonable plantear modelos analíticos locales, como corresponde a la interpretación analítica de los consecuentes en modelos TSK-1. No obstante, la generalidad de los modelos de descripción matemática difusa de capítulos anteriores, admite como interpretación una subdivisión difusa (por disjunta, gradual e interpolante) sobre el dominio temporal, o de forma dual, sobre el dominio frecuencial, considerados ambos dominios, tal como muestra la figura 2.74, como variables independientes en el espacio abstracto n -dimensional. En este sentido, la división temporal difusa (cuyo caso particular, *crisp*, lo constituyen los retardos temporales, que establecen una discretización del intervalo temporal), ha sido recientemente propuesta y analizada, con el objetivo de modelar información imprecisa temporal, en el trabajo de O. Mas [MAS97].

^{2.11} En este sentido, véanse las preguntas abiertas planteadas en el artículo de Yamakawa [YAM95] titulado : 'Is the fusion of neural networks, fuzzy systems and chaos possible?'.

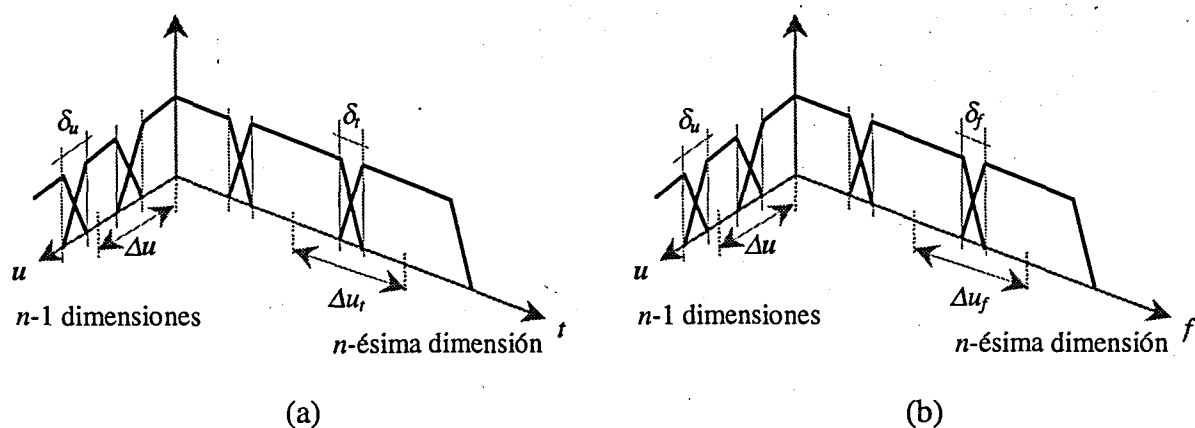


Figura 2.74 Interpretación de los sistemas difusos dinámicos como extensión dimensional en la síntesis de funciones multidimensionales
 (a) División difusa temporal (b) División difusa frecuencial

2.14 Equivalencias entre los sistemas difusos dinámicos no lineales y las teorías de Volterra y Wiener

En el apartado anterior se ha propuesto tanto el modelo como la síntesis de un sistema dinámico no lineal genérico mediante la combinación de una función no lineal estática multidimensional conformada mediante un sistema TSK y cierta dinámica externa. Tal como se ha establecido con el estudio sobre las propiedades analíticas de aproximación estática de los sistemas difusos, a continuación se establecen analogías con resultados teóricos sobre la aproximación de sistemas dinámicos no lineales, en base a las teorías ligadas a la descripción mediante series de Volterra, la extensión de éstas que conduce a las teorías de Wiener, así como posteriores resultados teóricos de, respectivamente, I. W. Sandberg y Rui J. P. de Figueiredo.

2.14.1 Series de Volterra

Con el fin de establecer las interrelaciones entre los distintos métodos de modelado de sistemas dinámicos no lineales, considérese, para iniciar el estudio, la representación no lineal dinámica explícita que expresa directamente la variable de salida de un sistema SISO en función de la variable de entrada mediante la denominada serie de Volterra, definida por

$$\begin{aligned}
y(t) = & \int_{-\infty}^{\infty} h_1(\tau_1) x(t-\tau_1) d\tau_1 + \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h_2(\tau_1, \tau_2) x(t-\tau_1) x(t-\tau_2) d\tau_1 d\tau_2 + \\
& + \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \tau_2, \dots, \tau_n) x(t-\tau_1) x(t-\tau_2) \dots x(t-\tau_n) d\tau_1 d\tau_2 \dots d\tau_n + \dots
\end{aligned} \tag{2.328}$$

representación en serie funcional en la que $h_n(\tau_1, \dots, \tau_n)$ se denomina n -ésimo *kernel* de Volterra. El desarrollo en serie de Volterra admite, asimismo, la descripción como agregación de los denominados operadores de Volterra de orden n , H_n , según

$$y(t) = H_1[x(t)] + H_2[x(t)] + \dots + H_n[x(t)] + \dots = \sum_{n=1}^{\infty} H_n[x(t)] \tag{2.329}$$

siendo

$$H_n[x(t)] = \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \tau_2, \dots, \tau_n) x(t-\tau_1) x(t-\tau_2) \dots x(t-\tau_n) d\tau_1 d\tau_2 \dots d\tau_n \tag{2.330}$$

Como consecuencia del carácter de descripción mediante serie de potencias del modelo de Volterra (2.328) (debido al carácter multilineal de los operandos de convolución, si bien que constituye una serie de potencias con memoria, en virtud de las ecuaciones de convolución), dicho método de modelado adolece de un conjunto de limitaciones en cuanto a su aplicación a sistemas dinámicos no lineales, debido a la naturaleza local polinómica de su aproximación. A pesar de sus limitaciones, las series de Volterra son capaces, si bien que de forma sub-óptima, de modelar un sistema SISO dinámico universal, de la misma forma que un polinomio permite, en virtud del teorema de Stone-Weierstraß, aproximar cualquier función no lineal. En este sentido, el teorema de Fréchet –véase [SCH80]– demuestra la completitud del conjunto de funcionales de Volterra $\{H_n(t)\}$.

Una de las ventajas de la representación en serie de Volterra es que permite la interpretación frecuencial del n -ésimo operador en base a la transformada de Fourier de orden n del n -ésimo kernel de Volterra, trasladando ciertos conceptos del análisis en el dominio frecuencial al análisis de efectos no lineales.

La naturaleza local y polinómica de las series de Volterra justifica su aceptación como herramienta de estudio para sistemas dinámicos que presentan características no lineales

débiles, como pueda ser el estudio de osciladores o de sistemas realimentados SISO con características de saturación.

Respecto a las series de Volterra, destaca la excelente revisión y contextualización establecida por Sandberg en [SAN84], en un trabajo que establece una amplia revisión histórica de conceptos de teoría de sistemas, así como un muy reciente estudio [SAN99] sobre las cotas de error de aproximación de sistemas dinámicos no lineales mediante dichas series de Volterra, a partir de una identificación de las mismas con los desarrollos en series de potencias analíticas de variable compleja (como extensión del teorema de Taylor).

2.14.2 Modelos de Wiener

Las dificultades y limitaciones inherentes a la descripción en serie de potencias del modelo de Volterra según (2.328) (*i.e.* tanto el problema de la medición o caracterización de los *kernels*, dado que estos no son independientes, así como la convergencia limitada de la serie), motivó, por parte de Norbert Wiener^{2.12}, la descripción de un sistema dinámico no lineal mediante funcionales ortogonales. Nótese que no es posible el aislamiento de un *kernel* de Volterra, y asimismo no existe la convergencia de la serie funcional (de forma paralela a los desarrollos en serie de potencias de Taylor) para el caso de funciones no lineales con discontinuidades de salto o elementos con saturación abrupta en sistemas físicos. La solución de Wiener consiste en la propuesta de los funcionales-*G* (*G-functionals*, en inglés), un conjunto de funcionales que son ortogonales bajo la especial condición de que las entradas al sistema modelado sean de tipo proceso gaussiano estocástico.

Las propiedades sobre desarrollos ortogonales estudiadas en apartados anteriores del presente trabajo revierten, respecto a los modelos de Wiener, en una capacidad para determinar individualmente los coeficientes del desarrollo, así como una convergencia en media hacia la función expandida en serie, si ésta es completa.

Nótese que, dado que un funcional de Volterra $H_n(t)$ es una función con dependencia temporal que depende a su vez del tipo de función de entrada, Wiener requiere de la hipótesis de un tipo de función para establecer la condición de ortogonalidad, y en ese sentido, plantea la consideración de funciones temporales asociadas a procesos aleatorios gaussianos. Este

^{2.12} Antes de concebir los sistemas definidos de forma imprecisa en el sentido de los conjuntos difusos, Lofti A. Zadeh fue discípulo de Norbert Wiener, siendo uno de los más destacados promotores del concepto de Teoría de Sistemas, y dando nombre a la transformada Z, herramienta de análisis básica en sistemas discretos [ARS88].

aspecto justifica, dada la falta de existencia de la transformada de Fourier de un proceso gaussiano, la aplicación de funciones de correlación (autocorrelación y correlación cruzada) y los espectros de densidad de potencia asociados a las mismas como base del desarrollo ortogonal de funcionales-G de Wiener.

En base a la discusión anterior, es patente que los sistemas que pueden ser descritos por la series de Volterra son un subconjunto de aquellos susceptibles de ser descritos por los desarrollos de Wiener, que admiten como representación [SCH80]:

$$y(t) = \sum_{n=1}^{\infty} G_n[k_n; x(t)] \tag{2.331}$$

Las propiedades descritas para los desarrollos mediante funcionales-G de Wiener auspician y justifican su adecuación al problema perteneciente al área de teoría de sistemas que trata de la identificación de sistemas no lineales (si bien que bajo la hipótesis de entradas como procesos gaussianos).

En base a la anterior interpretación, el modelo de Wiener, descrito por el desarrollo (2.331), admite como representación la estructura de aproximación mostrada en la figura 2.75 [pp 382-387, pp. 472 SCH80].

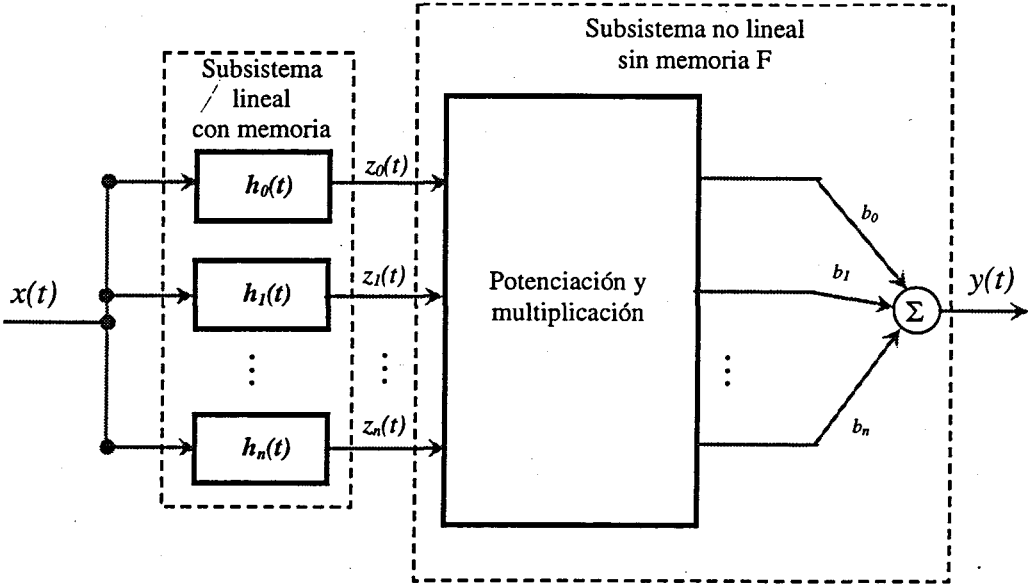


Figura 2.75 Representación de un sistema dinámico no lineal mediante el modelo generalizado de Wiener

La síntesis o el modelado de la función multidimensional *F* en los modelos de Wiener, si bien admite una descripción ortogonal, como extensión de la serie de Volterra, es de naturaleza

polinómica, y fundamentada en los polinomios ortogonales de Hermite [SCH80], que presentan una independencia en coeficientes así como propiedades de aproximación global, como corresponde a su condición ortogonal. Por otra parte, y a pesar de la generalidad del anterior esquema de la figura 2.75 en la sección de procesado lineal con memoria, los modelos de Wiener han sido tradicionalmente desarrollados para el conjunto de funciones de Laguerre, fundamentalmente por su sintetizabilidad como filtros conformados por polos reales.

Obsérvese que, interpretando el esquema de la figura 2.75 como un esquema de clasificación de señales, versión particular de un sistema dinámico no lineal, el conjunto de operadores lineales previos a la función de mapeado no lineal estático sin memoria puede interpretarse como un conjunto de filtros adaptados, que establecen un cambio de variables complejo previo a la clasificación.

Un complemento a las teorías de Wiener lo constituye el modelo basado en las funciones de puerta (*Gate function model*, en inglés), y dicho modelo adquiere especial relevancia frente a los modelos estudiados en el presente trabajo. En efecto, dado que el modelo de Wiener es óptimo bajo la condición de señales de entrada al sistema de características estadísticas gaussianas, Schetzen, colaborador de Wiener, propone [SCH80] el uso de un conjunto de funciones, denominadas *Gate Functions*, cuya ortogonalidad no depende de las propiedades estadísticas de las señales de entrada al sistema, y que están descritas por:

$$R_n[x(t)] = \begin{cases} 1 & x_n \leq x(t) \leq x_{n+1} \\ 0 & \text{en otro caso} \end{cases} \quad (2.332)$$

Nótese que las anteriores funciones son estáticas, y ante los resultados descritos en el apartado 2.9 del presente trabajo, admiten la interpretación de ser conjuntos clásicos, ortogonales por ser disjuntos en el espacio. Los trabajos de Schetzen construyen funciones de puertado multidimensional mediante el producto de funciones de puertado unidimensional (2.332), operación que admite la interpretación de ser una implicación de tipo Larsen (3.37), si bien que la implicación de tipo mínimo o Mamdani (3.36) tendría el mismo efecto dada la falta de gradación de los conjuntos de pertenencia local. La aplicación de los modelos de *Gate Functions* es aislada en la literatura, destacando algún caso reciente en el área de control [KAL94], en el que los autores aducen, mediante un conjunto de validaciones experimentales, que dicho método presenta mejores prestaciones que la descripción mediante series de

Volterra, y similares a los métodos de control mediante redes neuronales y controladores basados en lógica difusa.

2.14.3 Propuestas de I. W. Sandberg y R.J. de Figueiredo

A continuación sigue una recensión que pretende seguir una evolución de los trabajos de I.W. Sandberg y de R. J. de Figueiredo, considerando su relación con los resultados presentados en el apartado previo del presente trabajo.

El primer trabajo de investigación de I.W. Sandberg al que se ha tenido acceso [SAN91], aparte de sus tratados sobre la series de Volterra previamente citados, versa sobre las propiedades de aproximación de sistemas dinámicos discretos no lineales genéricos de memoria finita, mediante las denominadas estructuras *lattice map*, que consisten en la combinación de un conjunto de elementos dinámicos simples (en este primer trabajo conformados por una cadena de retardos, planteando sistemas de tipo filtro FIR no lineal) sobre los que aplica una función no lineal obtenida mediante redes MLP o RBF unicapa, a la sazón muy recientemente demostrada su propiedad de aproximación estática por Cybenko [CYB89]. Si bien el trabajo establece lemas demostrativos sobre las capacidades de aproximación de dichos sistemas, sin proponer métodos constructivos, sí demuestra la representabilidad de los mismos mediante series de Volterra (2.328), en su versión discreta, si bien que interpretables como doblemente finitas (tanto por el limitado soporte de las respuestas impulsionales debido al carácter FIR como a la truncación de dichas series). Dicha primera propuesta es estudiada en mayor profundidad, continuando el enfoque analítico demostrativo, en trabajos inmediantamente posteriores [SAN92], [PAR92] y en virtud de la *densidad* como aproximadores estáticos multidimensionales presentada por los desarrollos RBF. Tanto los anteriores resultados como un siguiente escueto teorema planteado en [SAN94] sobre la *condición de existencia* de estructuras generales de clasificación de señales, en este caso continuas, adolecen del uso del teorema de Stone-Weierstraß, que aplicado a redes RBF, homogeiniza sus propiedades frente a la aproximación neuronal sigmoidal o la polinómica, sin incidir en su carácter óptimo. En dicho trabajo, se plantea el problema de la clasificación de señales temporales (como caso particular de sistema dinámico no lineal), que aplica una función no lineal (implícitamente) de tipo RBF sobre un conjunto de funcionales lineales aplicados sobre la señal de entrada (*i.e.* filtros lineales, descritos por sus respuestas impulsionales), obteniendo un mapeado suave dinámico no lineal. Sobre éste se aplica, como elemento de salida, un cuantizador que establece el resultado de la clasificación, sin

comprometer o plantear un mal condicionamiento en el problema de aproximación de funciones discretas (por incluir discontinuidades de salto) mediante series funcionales (*e.g.* plantéese la interpretación según el fenómeno de Gibbs, apartado 2.9.4). Este trabajo, continuado como extensión de resultados analíticos en [SAN95], donde se establecen criterios menos restrictivos en cuanto a las funciones aproximables, plantea estructuras de aproximación funcionalmente equivalentes a aquellas de Wiener mostradas en la figura 2.75, que consideran la concatenación de funcionales lineales y elementos no lineales sin memoria, si bien que siguen siendo métodos demostrativos. En este sentido cabe citar una frase de los autores, quienes indican:

[...] an important problem not considered in this paper is that of actually determining the elements in these schemes.

En particular, no obstante, plantean un tipo de funcionales lineales, más allá de los consabidos retardos temporales, que son de interés por su similitud con la propuesta descrita en la figura 2.74 consistente en la síntesis difusa temporal, denominados funciones de Steklov

$$x_{\delta}(t) = \frac{1}{2\delta} \int_{t-\delta}^{t+\delta} x(\tau) d\tau \quad (2.333)$$

con $\delta > 0$, y cuya definición es una de las posibles selecciones de los funcionales lineales del esquema de la figura 2.75, siendo asimismo equivalentes a la aplicación de una función delta generalizada (2.205) de división del eje temporal. Según los autores, dichos funcionales son ostensiblemente más simples que las aproximaciones previas (dejando aparte las cadenas de retardos), consistentes en la aplicación de un producto de la señal de entrada por una función temporal seguido de una integral, con el fin de obtener una ecuación de convolución arbitraria.

Los trabajos de Sandberg conducen a Chen y Chen [CHE95] a extender sus demostraciones matemáticas sobre la aproximación de funciones estáticas mediante funciones sigmoidales generalizadas –véase la nota al pie de página 2.4– hacia la aproximación de funcionales no lineales (*i.e.* sistemas dinámicos no lineales). Dicha propuesta establece condiciones necesarias y suficientes sobre la estructura no lineal de aproximación dinámica, resultando que los funcionales lineales pueden obtenerse como los coeficientes (complejos) de la

descomposición en agregación, resultado que es reconsiderado por Sandberg [SAN96], a pesar de su carácter impráctico.

Uno de los más recientes resultados de Sandberg [SAN97] extiende las capacidades de aproximación del esquema formado por una etapa de preprocesado lineal seguida de un mapeado estático no lineal hacia los denominados mapas multidimensionales *miópicos* (*i.e.* de memoria finita y eventualmente no causales, de posible aplicación en procesado no lineal de imagen).

El carácter altamente analítico y demostrativo de las anteriores investigaciones de Sandberg fundamentaría la falta de atención de la comunidad de control o de teoría de circuitos ante dichos resultados.

Por otra parte, destacan los relevantes estudios de Rui J. P. De Figueiredo sobre la aproximación de sistemas no lineales, cuyos primeros resultados teóricos han sido reorientados posteriormente hacia la comunidad de teoría de circuitos y sistemas así como la comunidad de teoría sobre las redes neuronales.

En su primera propuesta en 1980 [FIG80] (nótese que a la sazón eran prácticamente inexistentes los resultados sobre redes neuronales), se plantean las bases para la aproximación de sistemas dinámicos no lineales, bien sean éstos continuos o discretos (y cuyo conjunto conforma el denominado espacio de *Fock*, definido sobre funciones de variable compleja). Detectando las dificultades de las series de Volterra, por su localidad y la dificultad de cómputo de las integrales en (2.328), y con el fin de implementar modelos de simulación de sistemas dinámicos no lineales, se propone el uso de series complejas óptimas (en el sentido descrito sobre los espacios de Hilbert en el apartado 2.9.4. El esquema resultante, asimilable a aquél de la figura 2.75, implementa no obstante las funcionales lineales como producto por una función temporal seguido de una integración, con vistas a obtener una ecuación de convolución o correlación.

Los resultados de este trabajo pionero son posteriormente aplicados al análisis de procesado de señal y de modelado de sistemas, *e.g.* a modelos de dispositivos electrónicos y osciladores en [FIG83], si bien que las dificultades analíticas impiden su desarrollo. Mediando un lapso de unos siete años, de Figueiredo plantea en [CHE90] una versión práctica de sus modelos, si bien que manteniendo el análisis en el dominio complejo, al proponer una descomposición en serie de kernels gaussianos (*i.e.* red RBF) cuyos coeficientes no son constantes sinápticas (o modelos locales constantes) sino funcionales variantes con el tiempo, y pueden por tanto asociarse a modelos TSK del tipo (2.279). En un trabajo simultáneo [FIG90] se propone la extensión de los modelos óptimos en espacios de Fock, particularizados a funciones estáticas

(y denominados por el autor *espacios neuronales*), como modelo de las redes neuronales en aplicaciones de clasificación de patrones.

Los trabajos debidos a de Figueiredo se extienden en el año 96 hacia la descripción de, por una parte [FIG96], redes neuronales óptimas de interpolación y de aproximación, descritas como casos particulares de las funciones analíticas descritas sobre espacios complejos de Fock, y, por otra parte [FIG96], la descripción de los métodos basados en *wavelets* en base a conceptos de espacios de Fock.

La última propuesta de Rui de Figueiredo [FIG98] propone paradigmas de procesamiento de señal *inteligente* (sic) mediante las denominadas redes neuronales artificiales funcionales dinámicas (*Dynamic Functional Artificial Neural Networks, D-FANNs*, en inglés). Dichas redes consideran un esquema funcionalmente equivalente a su propuesta original [FIG80], si bien que descritas en términos propios al área de las redes neuronales, estando compuestas por un banco de filtros lineales como primera conexión sináptica, seguidos de una función no lineal multidimensional implementada como una red neuronal unicapa de tipo óptimo RBF. Esta descripción, equivalente a la descripción de Wiener de la figura 2.75, ha sido reconsiderada recientemente por R. Newcomb junto a de Figueiredo como aproximación conjunta entre las descripciones en forma de red neuronal y los trabajos primigenios de de Figueiredo [FIG80, FIG83], como muestra su reciente aplicación al control de planificación de tareas dinámicas [PAN99].

Ciertos trabajos asociados a la temática bajo estudio corresponden, por una parte, a la reciente aplicación, por parte de De Nicolao *et al.* en [NIC98], de redes de regularización (equivalentes a redes RBF, véase [POG90]) a la identificación de sistemas dinámicos no lineales mediante una extensión no lineal (NARX) de los modelos ARX (autoregresivos exógenos), correspondientes a una versión no lineal de la ecuación (2.291). Por su parte, Conti y Turchetti [CON94], en el contexto de la síntesis de circuitos caóticos, proponen la síntesis de circuitos dinámicos no lineales mediante circuitos integradores simples y circuitos que implementan las denominadas redes neuronales de identidades aproximadas, asimilables a la agregación local de deltas generalizadas –véase el apartado 2.9.5-. Una remarcable propiedad circuital que dicho trabajo considera implícitamente, descrita en este punto a modo de inciso, es la adecuación de la operación de integración en una ecuación de estado –véase la figura 2.63a-, cuando la función no lineal se sintetiza mediante una agregación, y, por tanto, la representación en modo corriente es adecuada, de forma que la operación dinámica puede conformarse mediante la mera adición de una capacidad a la salida del circuito no lineal, capacidad que establece la dinámica a la vez que la conversión corriente-tensión.

Llegados a este punto, y recogiendo los resultados presentados respecto a las distintas aproximaciones al problema del modelado de los sistemas dinámicos no lineales, se establece una comparación entre los mismos y con la propuesta presentada en el apartado anterior 2.13. Por una parte, obsérvese que los modelos basados en series de Volterra y en las teorías de Wiener, debido a su descripción en el dominio temporal, cuya dinámica se representa como operaciones de convolución extendida, son de difícil formulación para casos diferentes del modelado SISO. Por extensión, una conclusión similar puede asignarse a los modelos de Sandberg y de Figueiredo. Por su parte, el modelo de estado no lineal que considera la síntesis difusa de funciones multidimensionales MIMO (figura 2.63) admite una compacta formulación de estado (2.273).

Tal como ha sido descrito, los modelos de Volterra constituyen una extensión de la descripción lineal de un sistema que incorporan efectos no lineales mediante una descripción en serie de potencias dinámicas. Las limitaciones de dicho modelo son sorteadas por la descripción ortogonal (si bien que polinómica) de los modelos de Wiener (que además incluyen, como característica destacada y única, una descripción estadística). Por su parte las propuestas de Sandberg y de De Figueiredo implícitamente extienden dichos trabajos al considerar la aproximación no lineal mediante redes neuronales de distinta naturaleza.

Frente a las anteriores aproximaciones, el modelo propuesto en el presente trabajo es aquél que sintetiza de forma cuasi-óptima (en cuanto a su descripción cuasi-ortogonal) la función no lineal de acoplamiento entre estados (2.273), admitiendo asimismo, y en virtud de la localidad gradual de las funciones base, un método de síntesis directo ligado a su mayor interpretabilidad. Como extensión de este aspecto, y a diferencia de los métodos anteriores, que están descritos por un desarrollo linealmente ponderado de términos dinámicos y no lineales, el modelo dinámico no lineal sintetizado mediante modelos locales (no necesariamente constantes) extiende las propiedades de aproximación, y para el caso de modelos locales afines establece una conexión con los métodos de análisis lineales conocidos. Entendemos, para concluir este apartado, que el establecimiento de analogías en mayor profundidad entre los anteriores modelos es materia de una futura línea de investigación.

2.15 Diseño e implementación de un procesador *neurofuzzy* Takagi-Sugeno como ASIC mixto analógico-digital con arquitectura secuencial y salida PWM

2.15.1 Generalidades sobre la implementación de procesadores *neurofuzzy*

Existen diversas aplicaciones de la teoría de inferencia difusa que no justifican una implementación dedicada (*e.g.* reconocimiento de patrones, programación lineal difusa, bancos de datos difusos), dado que los algoritmos difusos son susceptibles de ser mapeados sobre sistemas computadores de uso general.

Frente a dichas aplicaciones, el control en tiempo real difuso requiere de un circuito específico que se adecue a los requerimientos dinámicos del sistema.

En particular, la aplicación del control difuso a los convertidores conmutados constituye uno de los vértices del espacio de diseño en cuanto a complejidad de implementación, dado que su aplicación requiere, simultáneamente, de una elevada velocidad de obtención de la aproximación difusa (este requerimiento es excepcionalmente elevado si se pretende aplicar dicha aproximación sobre variables de estado de dinámica rápida), a la vez que la complejidad del tipo de leyes a aproximar necesita de un número elevado de reglas difusas (o granularidad de división de los espacios de entrada al controlador), aspecto que revierte en un consumo elevado de área, y, por ende, de potencia.

Con el objetivo de solucionar el problema de los requerimientos de velocidad, y en concordancia con la propuesta presentada en el capítulo I, se plantea el uso del procesamiento analógico en modo corriente.

Con el objetivo de solucionar el segundo problema, si bien plantea un requerimiento contrapuesto al anterior, se estudia el uso de una arquitectura secuencial que, gracias a su flexibilidad de computación bien sobre el dominio espacial o bien sobre el dominio temporal, establece un compromiso entre el área ocupada y el tiempo de cómputo que permite implementar sistemas de inferencia de alta cardinalidad en número de reglas o modelos locales. Por otra parte, dicha complejidad resulta ampliamente reducida, tal como se ha estudiado a nivel teórico en el apartado 2.13.2, como consecuencia del uso de una arquitectura de tipo TSK-1 de modelos locales afines.

En cuanto a la discusión sobre la implementación digital o analógica de un procesador de procesamiento difuso, cabe hacer las siguientes observaciones. Por una parte, se comparte toda la discusión en cuanto a la implementación analógica de redes neuronales artificiales, dado que

ambos sistemas son masivamente paralelos (lo que revierte en su ocupación de área y consumo), así como descritos por un numeroso conjunto de nodos de procesado no lineal y de bajos requerimientos en cuanto a precisión (aunque esto no se cumple en fase de aprendizaje), características ante las cuales el procesado analógico es ventajoso. Por otra parte, la implementación analógica es apropiada a un sistema de inferencia como la difusa, que establece una gradación no lineal de pertenencia, y que es por tanto interpretable como una lógica *analógica*^{2.13} (a diferencia de la dicotomía bivaluada de niveles eléctricos digitales 0,1), y cuyo procesado requiere de operaciones de tipo producto y agregación masiva, todas ellas apropiadas al procesado analógico, y especialmente, al procesado analógico en modo corriente. Consideraciones sobre la compacidad, la ocupación de área y el consumo de potencia también favorecen una implementación analógica, si bien que la necesidad de almacenar los parámetros de programación, e incluso, en la propuesta de arquitectura secuencial, la necesidad de variar de forma dinámica las características de las células de procesado analógico, conducen a la consideración de un diseño mixto digital-analógico. Cabe destacar que el procesado mixto analógico/digital retiene la flexibilidad y programabilidad de las versiones digitales si bien resulta en diseños inherentemente más rápidos y compactos debido a la operación analógica.

Debe resaltarse que se propone un diseño de procesador difuso que, al permitir programabilidad de sus parámetros, admite aprendizaje de sus características, si bien los algoritmos de aprendizaje serán mapeados sobre un *host* externo, resultando en una estructura de aprendizaje *chip-in-the-loop*. Esta propiedad de aprendizaje justifica el uso indistinto del término *neurofuzzy* o *fuzzy* para denominar al procesador difuso. En concreto, se prevé el uso del método ANFIS de aprendizaje, debido a Jang [JAN93b], si bien la estructura de procesado mixta está diseñada según unas pautas que facilitan el método de síntesis propuesto en el apartado 2.11.

En base a los resultados teóricos presentados en los apartados anteriores, se presenta un circuito integrado que implementa un conjunto de M^l reglas difusas TSK-1 del tipo

$$IF\ x_1\ is\ \Omega_1^l\ and\ ...\ and\ x_n\ is\ \Omega_n^l\ THEN\ d^l = c_0^l + c_1^l x_1 + ... + c_n^l x_n \quad (2.334)$$

^{2.13} En este sentido y desde una perspectiva histórica, cabe citar que el paradigma de la lógica difusa, aparecido en la década de los años setenta, y que establece una gradación continua entre los niveles [0,1], no resultó sugerente para la comunidad tecnológica en momentos en que se produjo al auge de la tecnología digital, justificado por motivos de la integridad eléctrica de representación y almacenamiento de información que de su uso se deriva.

de forma que el procesamiento de inferencia que implementa, está modelado por

$$o = f(\vec{x}) = \frac{\sum_{l=1}^{M^1} \omega_l d_l}{\sum_{l=1}^{M^1} \omega_l} = \frac{\sum_{l=1}^{M^1} \min_{k=1}^n \{\Omega_{k,l}(x_k)\} \left(\sum_{k=1}^n x_k c_k^l \right)}{\sum_{l=1}^{M^1} \min_{k=1}^n \{\Omega_{k,l}(x_k)\}} \quad (2.335)$$

2.15.2 Arquitecturas VLSI secuenciales para procesamiento *neurofuzzy*

El diseño de circuitos integrados que implementan arquitecturas masivamente paralelas, y en concreto arquitecturas *neurofuzzy* es un tema de actual interés. En dicha clase de sistemas de procesamiento, la explosión de complejidad denominada *curse of dimensionality*, connatural a la aproximación en espacios altamente dimensionales con subdivisión zonal y que ha sido estudiada en apartados anteriores, revierte directamente en condicionantes sobre su implementabilidad.

Con el principal objetivo de obtener una representación eficiente del procesamiento *neurofuzzy*, en el trabajo de J.M. Moreno *et al* [MOR97] se plantea una arquitectura con operación secuencial, en la que se basa el circuito integrado descrito en el presente apartado, cuya idea principal radica en la emulación, por parte del circuito analógico digitalmente programado, de una célula diferente del esquema original en cada intervalo discreto de tiempo.

Un estudio minucioso sobre las posibilidades generalizadas de dichos esquemas secuenciales se presenta en los trabajos asociados [MAD00a], [MADD99a]. En este sentido, cabe citar que las arquitecturas analógicas o mixtas secuenciales han sido someramente exploradas en la literatura en el área de la implementación de redes neuronales artificiales [LEE92], [YAZ93]. La arquitectura secuencial presentada en el presente trabajo constituye la primera propuesta de aplicación de dichos métodos arquitecturales al diseño de procesadores difusos y sienta sus bases en una arquitectura sistólica precedente de implementación de modelos neuronales [MOR94a].

Como característica general de una arquitectura mixta de procesamiento analógico programada secuencialmente, además de evitar la *curse of dimensionality*, cabe destacar la flexibilidad que se obtiene entre la ocupación de área frente al tiempo de cómputo, al incorporar la variable temporal al espacio de diseño. Como aspecto destacado, nótese que la flexibilidad de una estructura de programabilidad secuencial permite asimismo mapear de forma eficiente algoritmos evolutivos [MAD00a].

Frente a una arquitectura totalmente paralela que realiza un mapeado uno a uno de cada elemento de la arquitectura de procesado, una implementación secuencial requiere, como característica diferenciada, del uso de memorias de almacenamiento intermedio. En el caso de arquitecturas analógicas secuenciales, ello conlleva la necesidad de almacenar temporalmente la información analógica, aspecto que ha sido solucionado mediante el uso de copiadores de corriente como células de memoria analógica en modo corriente, y cuyo estudio se ciñe al apartado 2.15.6.

La estructura particular considerada en el diseño del circuito integrado *neurofuzzy* se muestra en la figura 2.76 [MOR97], [ALA98a]. Dicha estructura constituye un compromiso entre una arquitectura totalmente paralela y una arquitectura totalmente secuencializada, correspondiendo a una arquitectura que presenta un cierto grado de secuencialidad y de paralelismo con el fin de explorar un caso particular del espacio de diseño. En concreto, el grado de secuencialidad es aquél que permite obtener una complejidad no exponencial en área, a la vez que minimiza la complejidad de interconexión entre células (nótese que se plantea el problema de la implementación de un sistema multidimensional totalmente interconectado sobre una superficie bidimensional de conexionado físico entre células).

En dicha figura 2.76 se muestra la distribución general de la arquitectura que mapea la expresión (2.335), descompuesta en un bloque de obtención de inferencia asociada a los antecedentes, un bloque que computa los consecuentes, y ambos seguidos de etapas de agregación espacial y temporal así como una etapa última de división.

Como aspecto destacado de una arquitectura secuencial, nótese que es posible, en virtud de la operación secuencial, sustituir la agregación concurrente *espacial* (propia al nodo de salida de todos los sistemas de agregación local o demás arquitecturas de agregación) por una agregación *temporal* en forma de acumulación o integración.

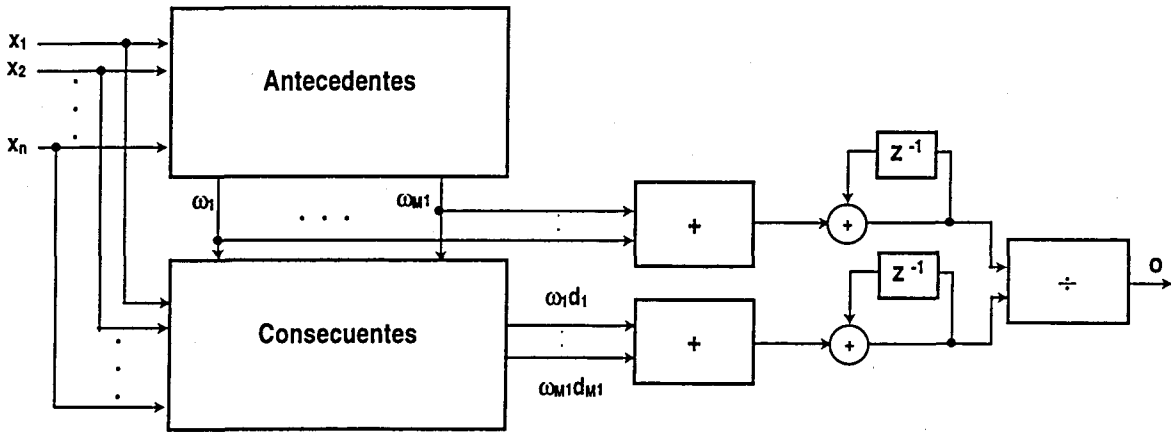


Figura 2.76 Diagrama de la arquitectura secuencial para el procesador neurofuzzy [MOR97]

La descripción interna de los bloques de antecedentes y consecuentes para el caso concreto del *testchip* diseñado se muestra en las figuras 2.77 y 2.78, respectivamente. La estructura considera un procesador de inferencia neurodifusa de tres entradas y dos funciones de pertenencia unidimensionales sobre cada variable de entrada, es decir, una subdivisión simple de cada dimensión del problema. Dicha estructura permitirá emular funciones TSK-1 como las mostradas en la figura 2.57 en una versión tridimensional, y en particular, permitirá la implementación de controladores PID con ocho zonas diferenciadas, o controladores de estado para sistemas de hasta tercer orden.

La figura 2.77 muestra la operación mixta secuencial/paralela del bloque de antecedentes encargado de recorrer el espacio de aproximación, que proporciona las $2^3=8$ reglas difusas asociadas a cada control zonal, 2 cada paso (regla j -ésima y $j+1$ -ésima de valor de implicación o *fire-strength*, ω_j y ω_{j+1}) en 4 pasos de emulación secuencial.

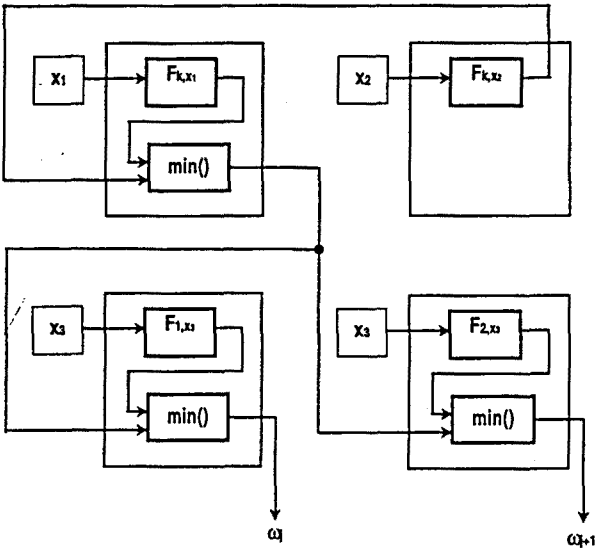


Figura 2.77 Organización secuencial del bloque de antecedentes

Por su parte, el bloque de consecuentes, cuya distribución se muestra en la figura 2.78, obtiene en cada rama equivalente, y de forma secuencial, el valor del modelo local asociado a las dos reglas emuladas en cada paso de secuencialidad. Los pesos digitales de programación c_{kj} , $c_{k(j+1)}$ asociados a la las reglas j -ésima y $j+1$ -ésima ponderan el valor de las tres entradas x_1 , x_2 y x_3 así como un nivel de offset correspondiente al término afín x_{off} . Las agregaciones de dichos valores, que constituyen los modelos locales j -ésimo y $j+1$ -ésimo d_j y d_{j+1} , son

afectadas por el *fire-strength* correspondiente para así obtener los modelos locales ponderados definitivos $\omega_j d_j$ y $\omega_{j+1} d_{j+1}$ que deben agregarse.

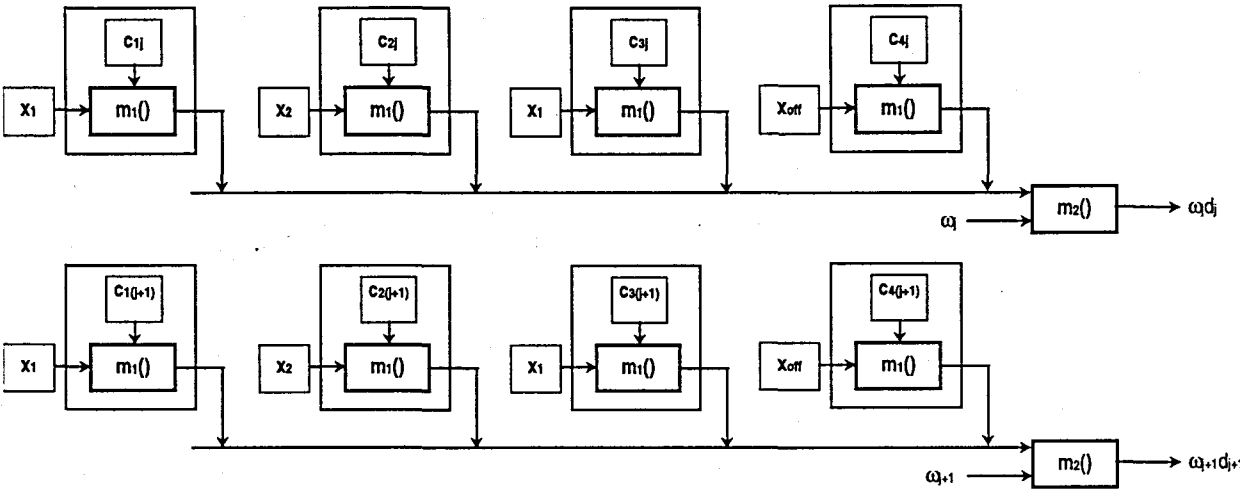


Figura 2.78 Organización secuencial del bloque de consecuentes. ($m_1()$ =producto D/A)

A continuación se detalla el diseño de las estructuras circuitales que componen el circuito integrado de procesamiento *neurofuzzy* en base a la arquitectura considerada. Un estudio comparativo entre las distintas opciones circuitales, contrastadas con las propuestas de la literatura, y que plantea la adecuación de las células definitivamente consideradas se describe con detalle, además de presentar una colección bibliográfica, en [IAN98], trabajo asociado a la presente tesis, así como en los artículos que versan sobre el diseño microelectrónico del ASIC mixto bajo estudio [ALA99a], [ALA99c], [ALA98a].

2.15.3 Función de pertenencia

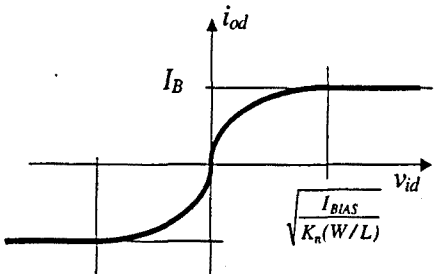
La etapa de entrada (*front-end*, en inglés) de un procesador *neurofuzzy* se encarga de la *fuzzyficación* de las señales externas para la ulterior aplicación del método de inferencia. En concreto, a cada señal de entrada se le asigna un grado de pertenencia a una clase o etiqueta difusa mediante un valor que presenta una gradación no lineal continua. La función que asocia el nivel de pertenencia a la señal de entrada se conoce como función de pertenencia, tal como ha sido descrita en el apartado 2.2.1.

A nivel práctico, el circuito que implemente la función de pertenencia debe conformar, en función de una señal externa (en tensión), un nivel de señal (tensión o corriente) con una característica de transferencia acampanada (*bell-shaped*, en inglés). Considerando que el resto

de procesamiento del controlador *neurofuzzy* opera en modo corriente, como es el caso del circuito microelectrónico bajo estudio, es necesario el uso de un transconductor, pero en este diseño se aprovecha la propia característica no lineal de transferencia de un par diferencial (de hecho de sendos pares diferenciales) para realizar la operación de transducción así como de conformación de pertenencia. De forma que la conversión V/I es necesaria, natural y *oportunistica*, en el sentido utilizado por C. Mead [MEA90]. Considerando un par diferencial simple CMOS, la figura 2.79 representa, respectivamente, la característica analítica de transferencia del par diferencial –(a)–, así como su representación grafica –(b)– y una expresión normalizada –(c)–. De esta última expresión se extraen dos de las características más relevantes: (1) que la zona de transferencia no lineal es de tipo cuadrático, como cabe esperar en tecnología CMOS y (2) que el intervalo o margen de tensiones de entrada para el cual la característica no esta totalmente saturada es finito y acotado, a diferencia de lo que ocurre con un par diferencial implementado con tecnología bipolar.

$$i_{od} = \begin{cases} -I_B & -\sqrt{\frac{I_B}{k_n\left(\frac{W}{L}\right)}} \leq v_{id} \\ I_B \cdot v_{id} \cdot \sqrt{\frac{2k_n\left(\frac{W}{L}\right)}{I_B}} \cdot \sqrt{1 - \frac{k_n\left(\frac{W}{L}\right)}{I_B} v_{id}^2} & -\sqrt{\frac{I_B}{k_n\left(\frac{W}{L}\right)}} \leq v_{id} \leq \sqrt{\frac{I_B}{k_n\left(\frac{W}{L}\right)}} \\ I_B & v_{id} \leq \sqrt{\frac{I_B}{k_n\left(\frac{W}{L}\right)}} \end{cases}$$

(a)



(b)

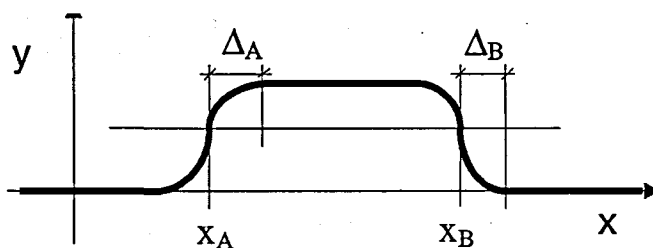
$$y = \frac{i_{od}}{I_B} \Rightarrow y = \begin{cases} -1 & -\sqrt{2} \leq x \\ x \cdot \sqrt{1 - \frac{x^2}{4}} & -\sqrt{2} \leq x \leq \sqrt{2} \\ 1 & x \geq \sqrt{2} \end{cases}$$

$$x = \sqrt{\frac{2K_n\left(\frac{W}{L}\right)}{I_B}} \cdot V_{id}$$

(c)

$$y = \begin{cases} 0 & x \leq x_A - \Delta_A \\ 0.5 + 0.5(x - x_A) \sqrt{1 - \frac{(x - x_A)^2}{4}} & x_A - \Delta_A \leq x \leq x_A + \Delta_A \\ 1 & x_A + \Delta_A \leq x \leq x_B - \Delta_B \\ 0.5 - 0.5(x - x_B) \sqrt{1 - \frac{(x - x_B)^2}{4}} & x_B - \Delta_B \leq x \leq x_B + \Delta_B \\ 0 & x \geq x_B + \Delta_B \end{cases}$$

(d)



(e)

Figura 2.79 (a) Característica analítica de transferencia de un par diferencial CMOS (b) Representación gráfica de la característica de transferencia de un par diferencial CMOS (c) Expresión normalizada de la característica de transferencia (d) Expresión normalizada de la función *bell-shaped* conformada por dos pares diferenciales CMOS (e) Representación gráfica de la característica *bell-shaped*

Nótese que la anterior función es un caso particular de función pseudotrapezoidal, definida por (3.265), y que fundamenta el método de síntesis del apartado 2.11.

La figura 2.80 muestra el circuito que corresponde a la implementación definitiva de la función de pertenencia CMOS de parámetros totalmente ajustables. El núcleo de procesamiento (la conversión V/I no lineal) es debido a cuatro transistores que constituyen sendos pares diferenciales que conforman la función de pertenencia local. Los transistores de la parte superior constituyen un espejo de corriente *cascade* de alta compresibilidad [CRA93] encargado de realizar la reconducción de las corrientes (*current steering*, en inglés) que proporciona el conjunto de los dos pares diferenciales. La inclusión de un transistor *dummy* en la rama de corriente que no es utilizada para conformar la corriente de salida resulta en una equalización de las condiciones de carga de los pares diferenciales, y, por ende, en una reducción del desapareamiento sistemático [PEL88]. Por otra parte, el conjunto de transistores de la parte inferior del esquema constituyen las ramas de salida de espejos de corriente encargados de polarizar los dos pares diferenciales y de eliminar las componentes continuas que aparece en la señal extraída de los pares diferenciales.

A nivel funcional o de sistema, los parámetros que deben ser ajustables son, respectivamente, la posición central de la función, su anchura y la pendiente de las zonas de gradación. Dado que las dos primeras magnitudes quedan representadas de forma independiente por los dos puntos de cruce (x_A y x_B en la figura 2.79e), su variación natural consiste en modificar los niveles de tensión que centran las características de transferencia, vía las tensiones V_L y V_R . Para conseguir la variación digital de dichos niveles, se han incluido en el diseño dos convertidores DAC (diseñados como núcleo de generación de los consecuentes tipo TSK-1, y que serán descritos posteriormente), polarizados por fuentes de corriente de polarización constantes, y cuya salida en corriente es convertida en un nivel de tensión por medio de un circuito convertidor I/V estándar (basado en la célula de Bult [BUL87], que consiste en un nodo de baja impedancia impuesto por un transistor conectado como diodo que es polarizado por un nivel de corriente dependiente del nivel de salida, de forma que la relación I/V queda linealizada).

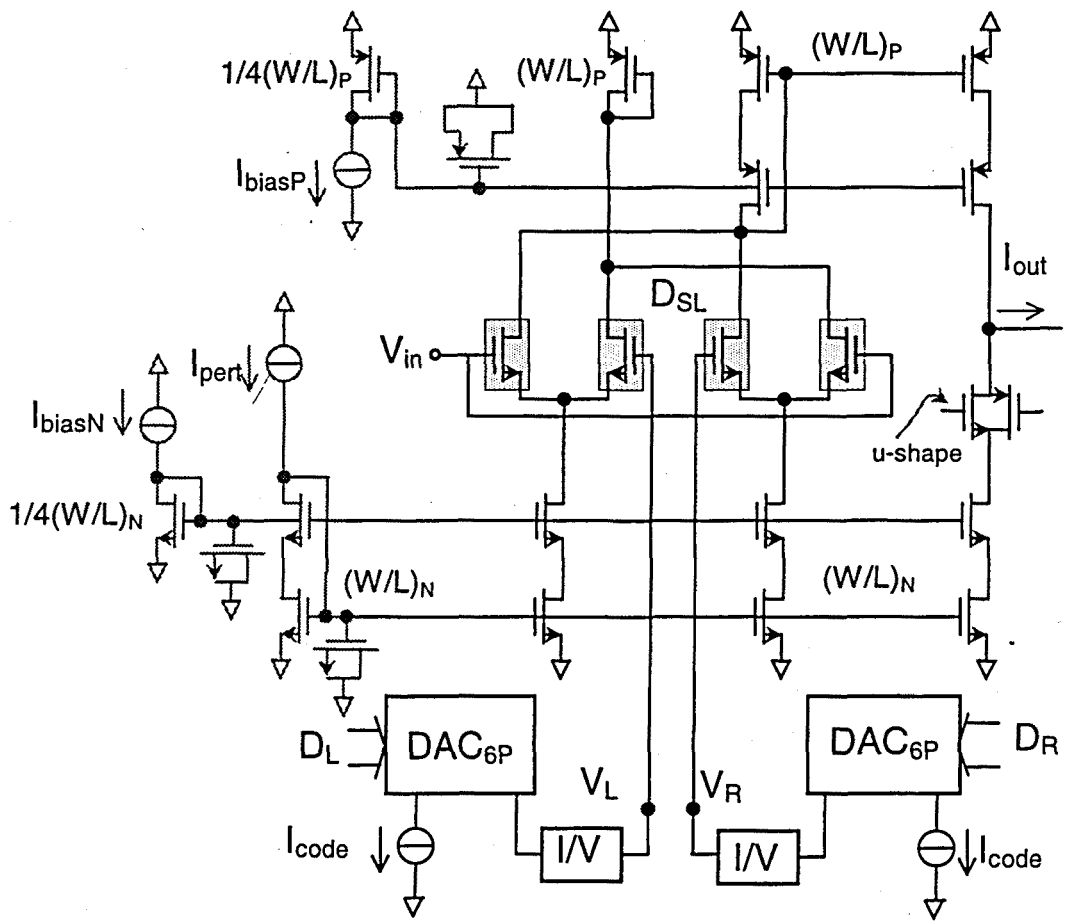


Figura 2.80 Célula de pertenencia *bell-shaped* basada en pares diferenciales CMOS

Dado que la pendiente de la característica de transferencia acampanada corresponde a la transconductancia de los transistores (esto es, a la primera derivada de la característica de

transferencia en gran señal de dichos transistores), la variación de dicha pendiente requiere la variación o programación de la ganancia o transconductancia g_m . La dependencia de la transconductancia es lineal con respecto a la relación de aspecto W/L y proporcional a la raíz cuadrada de la corriente de polarización del par [LAK94]. No obstante, la modificación del nivel de polarización varía de forma proporcional el nivel de saturación del par (fig 2.79a), que en esta aplicación constituye el nivel alto “1” de pertenencia y por tanto debe mantenerse constante al establecer la programación de parámetros. Por otra parte la relación de aspecto es un parámetro de diseño (susceptible de ser *mask-programmable* [FRA91a]) si bien no es variable electrónicamente.

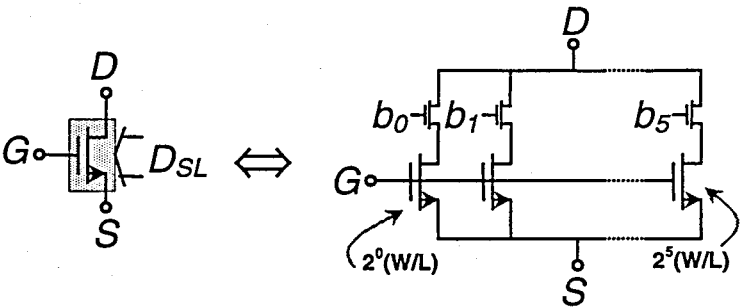


Figura 2.81 Detalle de la estructura compuesta de transistor CMOS digitalmente programable

La solución finalmente adoptada consiste en sustituir cada transistor MOS de los dos pares diferenciales por un transistor *composite* formado por un conjunto de transistores cuyo tamaño está ponderado mediante crecimiento binario. Para este subcircuito, mostrado en la figura 2.81, una variación del código de control, formado para este caso por una palabra de seis bits, resulta en una variación de la relación de aspecto efectiva y por tanto en una variación del valor de transconductancia según la expresión:

$$g_m^{TOT} = \frac{\partial i_D^{TOT}}{\partial v_{in}} = 2 \sqrt{k_n I_{D_{BIAS}} \left(\frac{W}{L} \right) \sum_i 2^i b_i} \tag{2.336}$$

Esta última expresión revela una dependencia tipo raíz cuadrada de la pendiente de la función de pertenencia en función del peso digital de variación de dicho parámetro. Esta dependencia, no obstante, puede ser predistorsionada y corregida por el sistema digital (*host* externo) que se encarga del algoritmo de aprendizaje *chip-in-the-loop* de parámetros.

Tomando en consideración cuestiones de índole práctico, destaca la limitación en cuanto a tensiones de entrada que impone la estructura circuital que implementa la función de pertenencia. En concreto, el funcionamiento en saturación de los transistores que componen las fuentes *cascade low-voltage* de polarización, y el correcto funcionamiento de los transistores de la etapa de entrada del espejo de reflexión imponen un margen de operación en tensión:

$$1V \leq v_{IN} \leq 4V \quad (2.337)$$

para una alimentación $V_{DD}=5V$. Otra implicación de diseño que afecta tanto al circuito de función de pertenencia como al resto de circuitos del ASIC es la estabilidad y regulación de los niveles de polarización. Tal como puede observarse en el circuito de la figura 2.80, todos los niveles que polarizan al circuito (en este caso, tanto el nivel que fija la corriente de polarización de los pares diferenciales como los dos niveles que polarizan los espejos *cascade low-voltage*) incluyen capacidades de regulación introducidas explícitamente como transistores MOS cortocircuitados entre drenador y surtidor. La presencia de dichas capacidades de regulación se basa en dos motivos:

- a) Por una parte, bajo la suposición de que la corriente de polarización contiene términos de ruido, así como perturbaciones –lo cual es previsible en un entorno de operación mixto digital analógico, debido a acoplamientos vía substrato o vía niveles de alimentación global del circuito-, el efecto combinado de la capacidad de regulación ON-CHIP introducida $-C_{REG}-$ y el conjunto de capacidades parásitas $-\Sigma C_{in}-$ debidas a todas las puertas de transistores MOS que son polarizadas por dicho nivel resulta en un filtrado efectivo del ruido introducido a frecuencias superiores a $f_{FILTRO} \cong (1/g_m)(C_{REG} + \Sigma C_{in})$, siendo g_m la transconductancia del diodo que genera el nivel de polarización asociado.
- b) Por otra parte es necesario que las perturbaciones producidas por la operación (conmutada) de las propias células no interfieran el nivel de polarización obtenido. La variación temporal del nivel de polarización comportaría un empeoramiento de la respuesta transitoria del circuito. El nivel de impedancia de entrada en continua de las puertas CMOs asegura que el nivel de polarización es el impuesto por la red externa (fuente externa y diodo MOS). No obstante, en alta frecuencia y considerando el efecto de

las distintas capacidades que forman parte del circuito, debe asegurarse que el divisor capacitivo conduce a una minimización de las interferencias de las células sobre el nivel de polarización. Analíticamente,

$$\frac{1/C_{REG}}{1/C_{REG} + 1/\Sigma C_{in}} = \frac{\Sigma C_{in}}{\Sigma C_{in} + C_{REG}} \xrightarrow{C_{REG} \gg \Sigma C_{in}} 0 \quad (2.338)$$

Ambas consideraciones a) y b) requieren la inclusión de una capacidad de regulación del máximo valor posible sin comprometer excesivamente el área de silicio ocupada. Para ello, y tal como se ha comentado previamente, se ha escogido la opción de implementar dichas capacidades mediante transistores MOS cortocircuitados. La capacidad de regulación así obtenida presenta la mayor densidad capacitiva efectiva por unidad de área, y el hecho de ser una capacidad no lineal no es significativo en esta aplicación de regulación de continua. Tal como se muestra en el *layout* de la figura 2.82a, para aprovechar la ocupación de área se ha añadido al transistor cortocircuitado una capa sobrepuesta de metal2 que resulta, gracias a una conexión de capas tipo *sandwich*, en una estructura con una densidad capacitiva por área óptima para esta aplicación. La figura 2.82b muestra la imbricación del diodo de polarización en la estructura de regulación capacitiva.

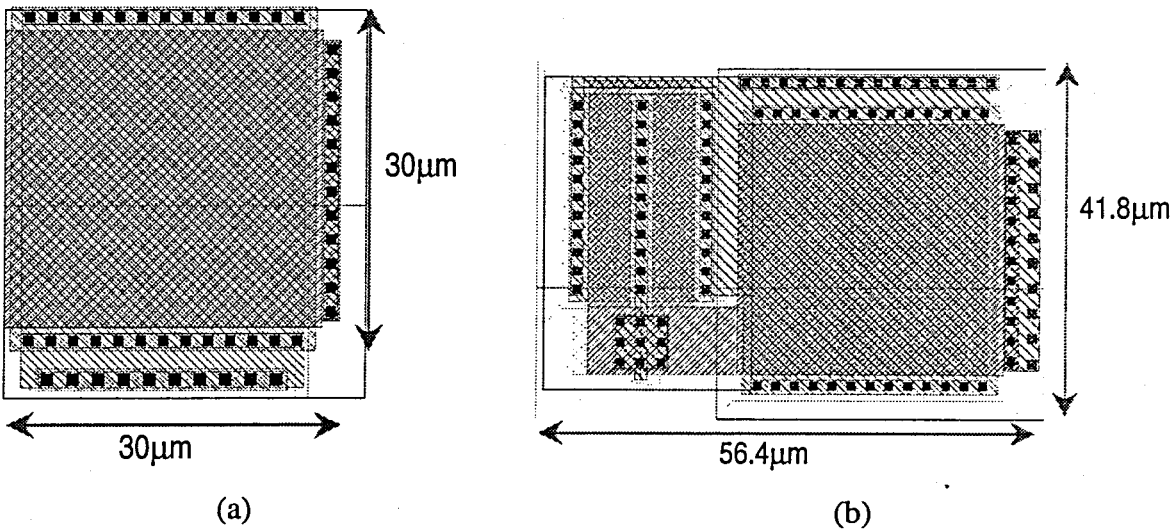


Figura 2.82 Detalles de *layout* (a) Capacidad MOS de regulación de polarización
(b) Estructura diodo de polarización + capacidad de regulación.

Para concluir la descripción del circuito que realiza la función de transferencia programable en el procesador *neurofuzzy*, se incluye en la figura 2.83 una muestra del *layout* definitivo. En

el núcleo inferior puede identificarse la repetición de una estructura reticulada que conforma el transistor compuesto de la figura 2.81. La parte superior del circuito incluye sendos convertidores DAC en modo corriente semialgorítmicos encargados de programar la posición de los flancos de pertenencia. Una cuestión práctica en cuanto a filosofía de diseño de *layout* que se ha seguido consiste en, intentando minimizar el cruce entre líneas conductoras, dar prioridad, a ser posible, al cruce entre polarizaciones o al cruce entre líneas de señal y polarización, evitando el cruce entre dos líneas de señal.

Aunque el diseño es razonablemente compacto y la ocupación de área no es excesiva, puede apreciarse que la mayor parte del área (el 85%) es debida a los circuitos de programación digital y no a los de conformación no lineal en sí. Por ende, la limitación en velocidad de respuesta de este circuito, que es la más severa dentro del procesador, resulta también del tamaño de la estructura, necesario para que sea posible la programación de parámetros. Esta consideración es inherente a los circuitos de señal mixtos, o analógicos programables, que siempre presentan tiempos de respuesta y áreas de ocupación significativamente mayores que los circuitos puramente analógicos.

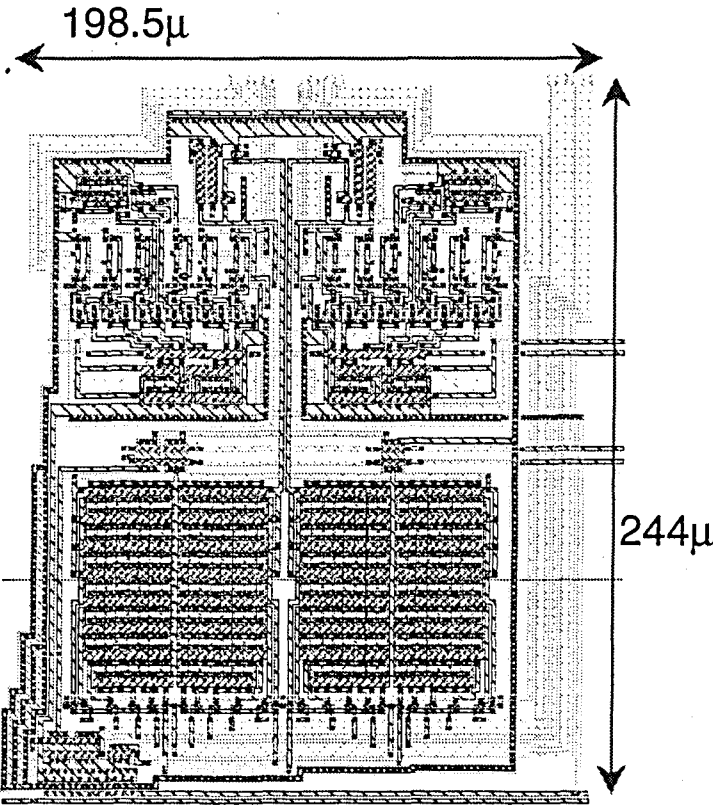


Figura 2.83 *Layout* de la célula de pertenencia de parámetros programables.

2.15.4 Circuito de mínimo (norma-t)

La función de mínimo operando como *t-norm* conectivo en la implicación de Mamdani (3.36) es necesaria en el procesador *neurofuzzy* para extraer, a partir de la proximidad de cada elemento del vector de entrada a cada una de las etiquetas (*labels*) *fuzzy* definidas por cada función de pertenencia, un nivel de regla (ω_i) en (2.335) o *fire-strength* como respuesta de la función local asociada (tridimensional para el *testchip*). Según el esquema secuencial de la figura 2.77, la implementación práctica del circuito de mínimo debe permitir entradas tanto en corriente como en tensión, mientras que la necesidad de agregar de forma concurrente las señales de salida de estas células dicta el uso de la corriente como representación de señal en dicho nodo. Según estas consideraciones, la figura 2.84 muestra el diseño definitivo de la función de mínimo.

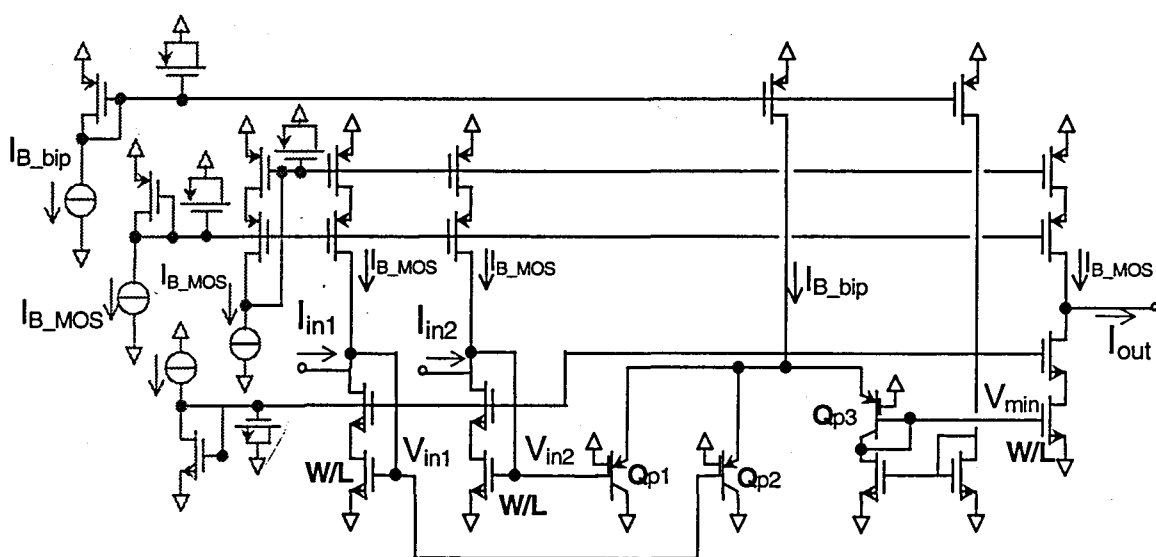


Figura 2.84 Circuito de operación de mínimo en modo corriente

El núcleo de operación de este circuito se basa en la propiedad que presentan las etapas en fuente común de n entradas de imponer en dicho nodo común el mínimo de los valores de tensión de entrada [HE93]. Según una interpretación cualitativa, cada etapa, configurada como seguidor de fuente, intenta imponer (copiar) el nivel de tensión de su entrada a la salida, de modo que sólo una de ellas es capaz de imponer el nivel correspondiente. En el caso de considerar el mínimo de dos entradas, la etapa se reduce a un par diferencial, en cuyo nodo común quedará impreso el nivel mínimo de tensiones a su entrada -excepto un desplazamiento de nivel en continua, que deberá ser posteriormente compensado-. Los transistores Q_{p1} , Q_{p2} constituyen el par diferencial y Q_{p3} el desplazador de nivel (*level-shifter*).

El hecho de utilizar transistores bipolares parásitos se debe a dos motivos. Por una parte, la discernibilidad del par diferencial, asociada a su ganancia, es mucho mayor para transistores bipolares (dado que el par queda totalmente conmutado en unos 50mV) sin comprometer la dinámica. Por otra parte, las tecnologías CMOS que no son de pozo doble, no permitiendo por tanto la eliminación del efecto substrato, resultan en acciones de seguimiento de tensión distorsionadas para etapas tipo seguidor de tensión [IAN98].

Para poder aceptar tanto corrientes como tensiones a su entrada, y a su vez, suministrar a su salida el mínimo de dichos valores en modo corriente, se incluyen en el circuito las etapas de entrada y salida de espejos de corriente –de configuración *cascode low-voltage* con *pre* y *post*-polarización-. De forma que, tal como queda formulado en (2.339), la operación del circuito de mínimo puede interpretarse como la de un espejo de corriente (que realiza *comparing*, es decir una compresión de transimpedancia $-f$ y una expansión de transadmitancia $-f^{-1}$, ambas no lineales) cuyo etapa intermedia no consiste en una mera transmisión de tensión (*i.e.* en un nodo interno compartido, como corresponde a un espejo de corriente simple), sino en una función de mínimo en tensión obtenida por el par diferencial.

$$I_{out} = f(V_{min}) = f(V_{in1}, V_{in2}) = f(\min(f^{-1}(I_{in1}), f^{-1}(I_{in2}))) = \min(I_{in1}, I_{in2}) \quad (2.339)$$

Para optimizar la capacidad de discernir entre dos niveles de corriente, se ha considerado el diseño de relaciones de aspecto (W/L) de los espejos mucho menores que la unidad, de forma que el margen de entradas en corriente queda convertido a un margen suficientemente amplio en tensión.

La figura 2.85 muestra el *layout* definitivo de la etapa de mínimo. En él puede observarse el uso de transistores bipolares parásitos en tecnología CMOS [TZU96]. Para obtener una zona de base –lateral- de espesor mínimo para esta tecnología, se diseña una estructura con una capa de polisilicio (que suele estar asociado a la puerta de un transistor MOS y que permite la mínima distancia para una tecnología, λ , que es de 0.8 μ m para la tecnología considerada) entre dos zonas de difusión, de forma que aparece una estructura de transistor bipolar lateral cuya longitud de base es mínima (dado que no es posible una capa epitaxial horizontal que proporcione el efecto transistor en geometría vertical).

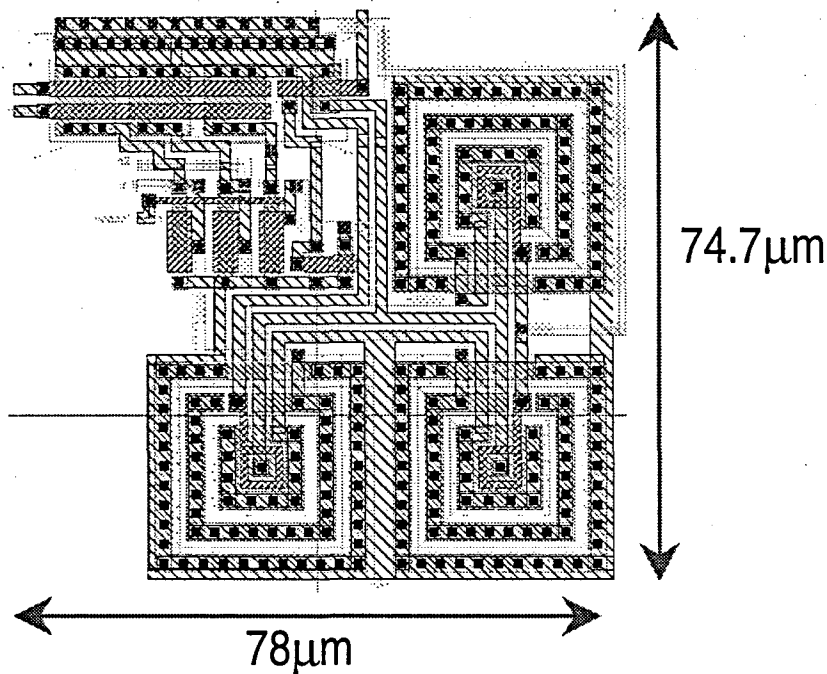


Figura 2.85 Layout del circuito de operación de mínimo

2.15.5 Circuito multiplicador mixto convertidor digital/analógico

El procesador *fuzzy* descrito en este trabajo es el primero, consultada la bibliografía existente respecto a implementaciones de procesadores FKBC, en incorporar como consecuentes hiperplanos dependientes de las variables de entrada, es decir un procesador Takagi-Sugeno (TSK) de orden uno. Aunque esto constituye una simplificación respecto a un proceso de inferencia Mandami genérico, que incluye funciones de pertenencia asociadas a los consecuentes, ha sido demostrado teóricamente en capítulos anteriores que los procesadores TSK-1 siguen presentando la propiedad de ser aproximadores universales de funciones multidimensionales, viéndose la complejidad de la etapa de consecuentes y de *defuzzyficación* ampliamente disminuida. Adicionalmente, a nivel práctico de aplicaciones de control, cabe comentar que, el hecho de utilizar como señales de entrada variables dinámicas (*e.g.* la variable error, su derivada discreta y su integral discreta) junto al uso de consecuentes según combinaciones lineales de dichas variables permite obtener una respuesta del procesador localmente lineal (p. ej, tipo PID según la definición anterior), de forma que es la parte de división del espacio de entrada en base a las funciones de pertenencia quien confiere el carácter no lineal al sistema (resultando, p.ej. en un procesador PID no lineal –véase el apartado 2.13-). A pesar de lo expuesto, las implementaciones microelectrónicas analógicas o mixtas de procesadores *fuzzy* siempre utilizan consecuentes Sugeno de orden 0, es decir, factores de ponderación que afectan al valor de las reglas, de forma que se recupera un

funcionamiento equivalente al de las redes RBF –véase el apartado 2.7-, de suerte que no se explota toda la capacidad de procesamiento de los procesadores TSK-1. A nivel práctico este tipo de procesamiento TSK-0 requiere simplemente ponderar la corriente obtenida por los circuitos que conforman los antecedentes, de modo que las implementaciones existentes consideren espejos de corriente conmutados mediante ponderación digital [ROD99]. La síntesis de una función lineal de consecuentes TSK-1, por su parte, requiere de una agregación ponderada de señales, posteriormente afectadas por la señal de *fire-strength* de cada regla.

La figura 2.86 representa la versión definitiva del circuito para consecuentes incluido en el procesador *neurofuzzy*. Esta estructura puede interpretarse como un espejo de corriente conmutado -*switched-current mirror*- o bien como un convertidor digital-analógico en modo corriente -*current-mode DAC*-. Una estructura afín aparece en la propuesta de Paulino y Franca [PAU96].

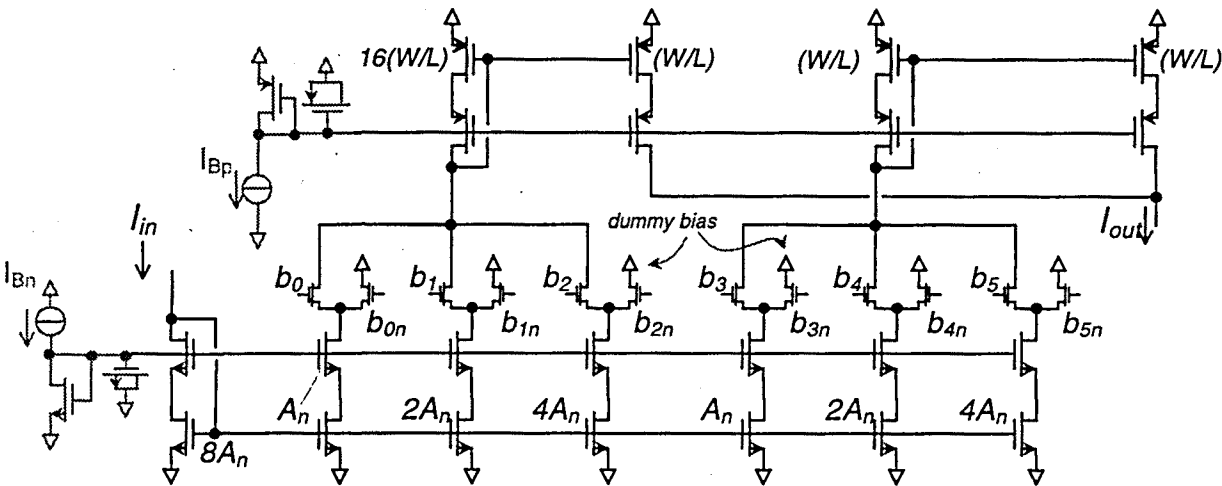


Figura 2.86 Multiplicador DAC semialgorítmico en modo corriente

La primera ventaja de la operación en modo corriente es el modo en que se obtiene la ponderación digital. En convertidores DAC basados en capacidades conmutadas, o en aquéllos basados en redes de resistencias ponderadas, el uso de elementos pasivos de ponderación impone limitaciones tecnológicas –de disponibilidad de elementos pasivos lineales- y de ocupación de área. A diferencia de estas aproximaciones, los convertidores DAC que operan en modo corriente, mediante la ponderación del tamaño de los propios transistores que conforman el espejo de corriente, consiguen una señal de salida afectada del código digital. Esta operación puede, por tanto, interpretarse como la acción de un multiplicador mixto digital-analógico. Otra ventaja de la operación en modo corriente es la

propia naturaleza de la salida del circuito, en corriente, que permite la agregación de señal de forma natural, tal como se requiere en esta aplicación (2.334) –o en general, en aplicaciones donde se requiera una suma ponderada de señales-. El incremento de velocidad, inherente a la operación de corriente, resulta de la limitación de las excursiones de tensión que experimentan los nodos del circuito. No obstante, y para asegurar el funcionamiento correcto del circuito, la acción de los transistores digitalmente controlados –interruptores- no debe forzar la condición de circuito abierto para las corrientes que circulan por las ramas de salida de los espejos, lo cual conllevaría una carga de las capacidades parásitas y, por tanto, una variación importante de los niveles de tensión con el subsiguiente incremento del retardo del circuito. Con el fin de evitar este comportamiento, el circuito considerado utiliza la técnica de redirección de corriente (*current steering*) que consiste en el uso de conmutadores, en lugar de meros interruptores, encargados de la reconducción de la corriente de salida a un nodo de baja impedancia (nodo *dummy*) manteniéndose así el flujo de corriente en cada rama. Para un cierto código digital, la distribución de bits decide qué niveles de corriente son reconducidos hacia el nodo de salida, quedando el resto reconducidos al nodo sin efecto o *dummy*.

Un problemática común a cualquier implementación de convertidores D/A –sea su implementación mediante elementos pasivos o mediante espejos conmutados- es el crecimiento exponencial (en área) que resulta del aumento del número de bits, al requerirse un margen de variación de tamaños desde 1 a 2^n . La solución que proporciona el uso de redes en escalera R/2R, de amplio uso en implementaciones discretas, es de difícil extrapolación a una implementación en espejos de corriente conmutada. Para aquellas soluciones, la precisión relativa del valor de resistencia, así como la operación activa combinada con amplificadores operacionales que operan realimentados, permite asegurar las condiciones de precisión de división por dos en corriente. Para un convertidor DAC en corriente, por su parte, la operación en lazo abierto (que resulta en tiempos de respuesta bajos) con la consiguiente pérdida de precisión, y la propia variación en cada copia (sea ésta determinística por el nivel de resistencia de salida no infinito de cada transistor, o por las propias variaciones aleatorias tecnológicas –*mismatching*-), veta el uso de esta técnica al circuito bajo consideración. Siendo no obstante la ocupación de área (y el tiempo de respuesta) inaceptable para la aplicación bajo estudio si se considera una implementación totalmente exponencial, se ha considerado la utilización de un método semialgorítmico de dos pasos, que constituye un paso intermedio entre un circuito tipo R/2R y un circuito totalmente exponencial. Para un convertidor semialgorítmico DAC de n bits, la expresión que describe la transmisión de corriente es la siguiente:

$$I_{OUT} = I_{IN} \left(\left(\frac{b_{n-1}}{2} + \dots + \frac{b_{\frac{n}{2}+1}}{2^{\frac{n}{2}}} \right) + \frac{1}{2^{\frac{n}{2}}} \left(\frac{b_{\frac{n}{2}-1}}{2} + \dots + \frac{b_0}{2^{\frac{n}{2}}} \right) \right) \quad (2.340)$$

donde se observa que se realizan dos subconversiones DAC de $n/2$ bits y se procede al escalado de una ellas. Para el caso del convertidor DAC en modo corriente semialgorítmico incluido en el diseño del procesador *neurofuzzy*, la expresión semialgorítmica para 6 bits de precisión deviene:

$$I_{OUT} = I_{IN} \left[\left(\frac{b_5}{2} + \frac{b_4}{4} + \frac{b_3}{8} \right) + \frac{1}{16} \left(\frac{b_2}{2} + \frac{b_1}{4} + \frac{b_0}{8} \right) \right] \quad (2.341)$$

La acción semialgorítmica de doble paso descrita por (2.341) puede observarse en el circuito de la figura 2.86. Las seis ramas de salida de espejo *cascade* de la parte inferior constituyen sendos convertidores DAC de tres bits (con ponderación en área 1:2:4). La división de la corriente que proviene del subconvertidor controlado por los bits menos significativos es realizada por un espejo de corriente tipo p con relación de conversión 1:16 conectado al nodo de salida, mientras que la corriente que proviene del otro subconvertidor es directamente reflejada al nodo de salida.

A nivel práctico, la utilización de estructuras *cascade* resulta en un incremento del nivel de impedancia de salida, y por ende, en una reducción del error sistemático de transferencia asociado a la misma, lo que asegura monotonicidad en la conversión para esta aplicación de seis bits. Por otra parte, se han llevado a cabo exhaustivas simulaciones Monte Carlo que consideran modelos de desapareamiento realistas [PEL89], [ABE93], [SER96] *i.e.* modelos que incluyen dependencia con el área de los transistores, para diseñar el tamaño base de los espejos de forma que se asegure un error aleatorio por debajo de la resolución del convertidor –veáse una descripción detallada en [IAN98]-.

Una consideración práctica a nivel de sistema consiste en que, según la expresión y los esquemas que modelan el procesador que efectúa el controlador *neurofuzzy* (2.335), para constituir los consecuentes, debe implementarse una agregación ponderada de los niveles de entrada. Dado que dichos niveles son externos y en modo tensión, es necesario incorporar una etapa de transducción entre dichos niveles $v_i \in [1V, 4V]$ y un margen de corriente preestablecido susceptible de ser escalado por los convertidores DAC en modo corriente. La solución circuital adoptada, cuyo objetivo es mantener la compacidad del diseño, consiste en

un transconductor sencillo formado simplemente por dos transistores, uno de los cuales está polarizado por una tensión de referencia [IAN98]. La distorsión no lineal introducida por esta etapa de entrada puede ser absorbida por el aprendizaje en el lazo del prototipo diseñado (*chip-in-the-loop*).

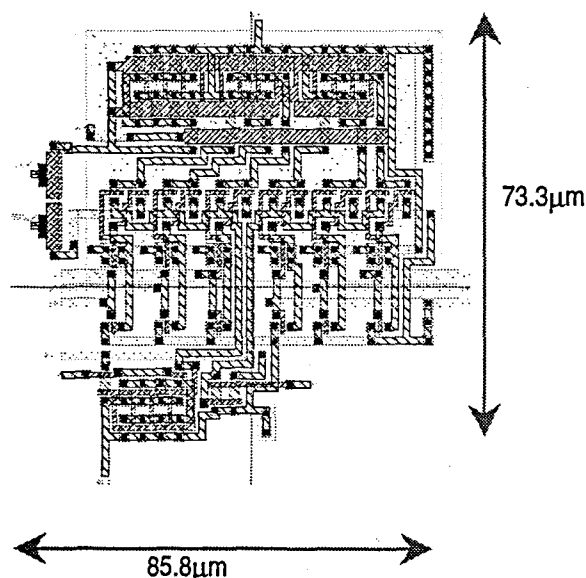


Figura 2.87 Layout del convertidor DAC semialgorítmico en modo corriente.

Para complementar la descripción del convertidor DAC semialgorítmico en modo corriente diseñado, la figura 2.87 muestra el *layout* definitivo de dicha célula de procesado. En la parte superior pueden observarse las dos matrices (constituidas por un conjunto de transistores cuya puerta común está conformada por una rejilla de polisilicio) que forman los dos subconvertidores de 3 bits de precisión. La zona intermedia incluye tanto los conmutadores como los inversores lógicos para obtener los niveles locales de control digital. Por último, puede observarse en la parte lateral izquierda el conjunto de dos transistores que constituyen el convertidor V/I simple encargado de la transducción entre los niveles de tensión que provienen directamente de las entradas, que son acceso directo de los *pads* y comunes a las entradas de la células que implementan las funciones de pertenencia, y la entrada al convertidor DAC en modo corriente.

2.15.6 Circuito multiplicador analógico translineal

En el procesador descrito, la selección a nivel arquitectural de conjuntos difusos consecuentes tipo TSK de primer orden requiere la obtención de las corrientes debidas a los consecuentes (i_a) como agregación de las salidas ponderadas de los convertidores DAC en corriente, tal

como se ha expuesto. Dichos valores deben ser afectados o ponderados por la salida en corriente de los circuitos de antecedentes (i_ω), de forma que se requiere la implementación de un producto analógico en modo corriente.

La forma más eficiente y natural de obtener productos entre señales analógicas parte del principio translineal [TOU91]. De este principio, inherente a la característica exponencial de la relación de transferencia tensión-corriente para transistores bipolares o MOSTs operando en zona de conducción subumbral, de la cual resulta una característica de transconductancia proporcional al nivel de corriente, se deriva una relación tipo producto y división a partir de las agregaciones de tensión (KVL) alrededor de un lazo translineal. Analíticamente:

$$\sum_{k=1}^{k=N} V_{BE}^k = \sum_{k=1}^{k=N} nV_T \log\left(\frac{I_{Ck}}{I_{Sk}}\right) = 0 \Rightarrow \prod_{k=1}^{k=N} \frac{I_{Ck}}{I_{Sk}} = 1 \quad (2.342)$$

Este tipo de circuitos operan realmente en modo corriente (de ahí que su operación se denomine *true current-mode processing*, en inglés), dado que las tensiones del circuito quedan comprimidas debido a la característica logarítmica, y por tanto restan prácticamente constantes, mientras que las corrientes siguen la expresión (2.342).

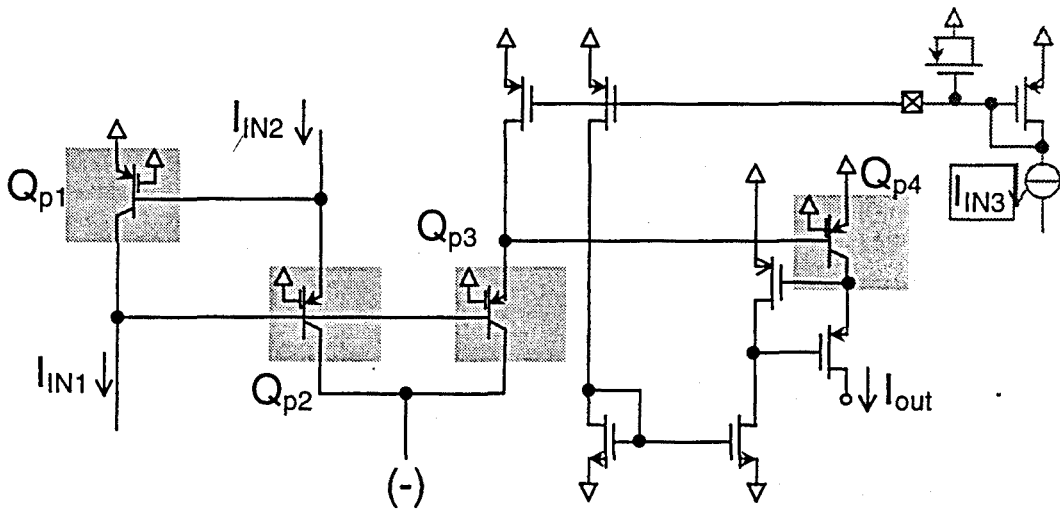


Figura 2.88 Circuito multiplicador translineal basado en transistores bipolares parásitos en tecnología CMOS estándar.

El margen de validez de la expresión anterior depende del margen de corrientes en la característica del transistor en que se puede considerar un comportamiento exponencial, que corresponde a un margen dinámico de varias décadas en corriente para transistores bipolares. La figura 2.88 representa el circuito translineal particular utilizado en el procesador

neurofuzzy, donde el núcleo del lazo translineal queda constituido por cuatro transistores bipolares laterales, transistores que son compatibles con las tecnologías de fabricación CMOS estándar. Estos transistores no presentan buenas características en cuanto a ancho de banda o resistencia de salida, pero el principio translineal se cumple en ellos de forma robusta, lo que llevó a tomarlos en consideración para el diseño. Particularizando la expresión anterior (2.342), la corriente de salida I_{OUT} del circuito multiplicador translineal sigue la expresión:

$$I_{OUT} = \frac{I_{in1} \cdot I_{in2}}{I_{in3}} \quad (2.343)$$

de lo que se deduce que el circuito implementa el producto entre las señales I_{in1} e I_{in2} , producto normalizado por el nivel de corriente de polarización I_{in3} . Funcionalmente, este circuito translineal es interpretable como un espejo de corriente (reflexión entre I_{out} e I_{in1}) cuya relación de transmisión o copia es variable electrónicamente (en función del cociente I_{in2}/I_{in3}). Se observa en el circuito que, para reducir el efecto de las bajas tensiones de Early en los transistores bipolares laterales parásitos, se ha utilizado la técnica de regulación *cascode* MOS sobre la rama de salida constituida por el transistor bipolar Q_{p4} . La figura 2.89 corrobora mediante simulación el efecto de disminución de la conductancia efectiva de salida para el circuito translineal. El impacto de la tensión de Early no infinita es parcialmente compensado por la propia estructura translineal, de forma que la relación (2.343) se obtiene de forma razonablemente exacta. No obstante cabe destacar que en la aplicación bajo estudio, las especificaciones del multiplicador en cuanto a precisión (o más concretamente, términos no lineales de distorsión que, en general, limitan las prestaciones de circuitos multiplicadores utilizados, por ejemplo, como moduladores) quedan reducidas por formar éste parte de un circuito controlador de parámetros ajustables según un algoritmo de aprendizaje.

Considerando la operación del circuito multiplicador dentro de la arquitectura del procesador *neurofuzzy*, conviene remarcar que la señal I_{in1} proviene de la agregación de circuitos multiplicadores/escaladores DAC, y que la señal I_{in2} proviene de los circuitos que proporcionan las reglas. La corriente de polarización I_{in3} es común para los dos circuitos translineales del procesador, y viene fijada por niveles externos.

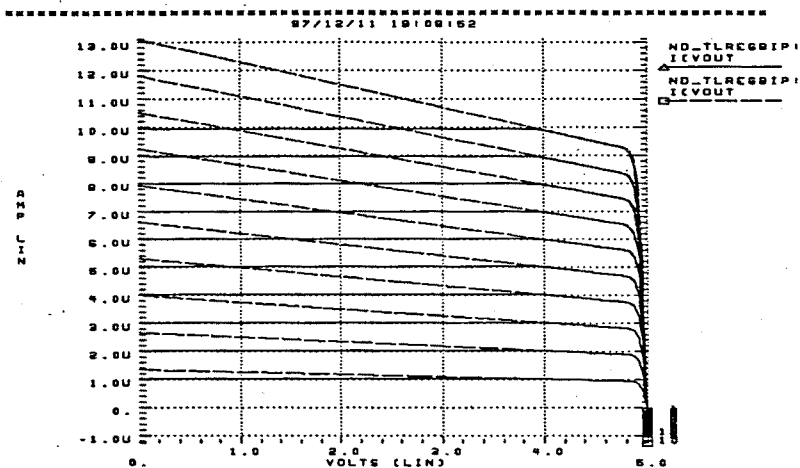


Figura 2.89 Característica no lineal tensión / corriente para la rama de salida del multiplicador translineal con regulación *cascode* MOS o sin ella.

La figura 2.90 muestra el *layout* del circuito multiplicador en modo corriente translineal. Destaca el conjunto de los cuatro transistores bipolares laterales, que siguen la misma pauta de diseño que los utilizados en el circuito de mínimo y comentados previamente. Los transistores de polarización situados en la zona superior derecha están constituidos por sendas estructuras en *u-shape* para mantener la compacidad en cuanto a área, consiguiéndose, simultáneamente, una resistencia de salida suficientemente alta sin uso de estructuras *cascode* y un margen de operación reducido (relacionado a la compresibilidad impuesta por la relación de aspecto W/L) que asegura el buen funcionamiento de la fuente de polarización para el nivel de $V_{BE} \approx 0.7V$ impuesto por el transistor bipolar Q_{p4} .

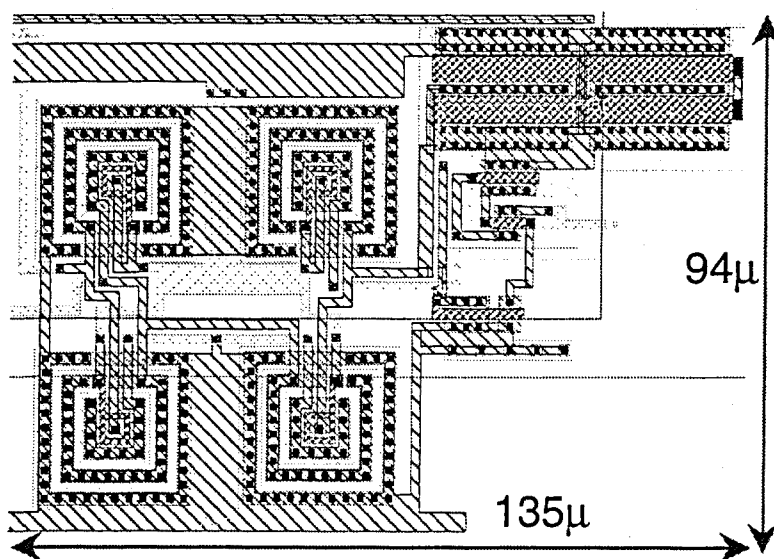


Figura 2.90 *Layout* del multiplicador translineal en modo corriente de transistores bipolares en tecnología CMOS.

Para cerrar la descripción de los circuitos que constituyen la obtención de los consecuentes para el controlador *neurofuzzy* TSK-1, la figura 2.91 muestra, a título ilustrativo, el *layout* del bloque que realiza la operación asociada a los consecuentes, a saber: la obtención del nivel de corriente de los consecuentes como combinación lineal de las variables de entrada (vía la agregación de la corriente de salida de 3 DACs más un DAC para considerar un término independiente) y la posterior ponderación de dicho nivel mediante las reglas en corriente que entrega el bloque de antecedentes. A nivel práctico, ha sido conveniente incluir un espejo de corriente de reducción 4:1 para adecuar el nivel de corriente de salida de los DACs al margen de entrada del multiplicador translineal.

Cabe plantear una reconsideración arquitectural del procesador *neurofuzzy*. Si se escogiera, como solución a nivel de sistema, la utilización de consecuentes constantes tipo Sugeno de orden 0 (solución que queda incluida en la propuesta actual asignando a todos los pesos un valor nulo y programando sólo el nivel independiente) bastaría el uso de un multiplicador translineal en lugar de todo el conjunto de la figura 2.91, o, de forma más compacta si cabe, la ponderación de la corriente de salida de los circuitos de mínimo por pesos digitales, de forma análoga a la operación de los convertidores DAC en modo corriente.

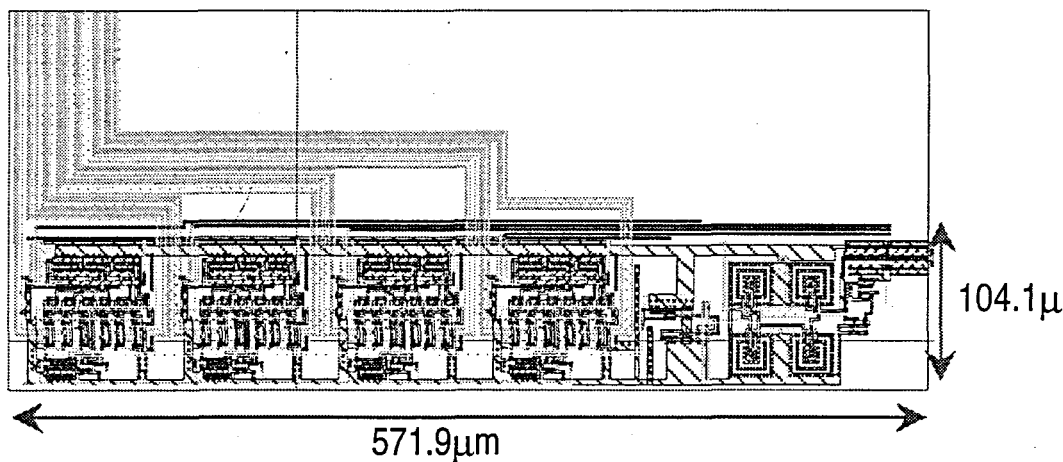


Figura 2.91 *Layout* del bloque de consecuentes Takagi Sugeno de primer orden.

2.15.7 Acumulador discreto de corrientes conmutadas

Una de las características que presenta el procesador *fuzzy* descrito, característica ésta inherente a cualquier implementación secuencial, es la necesidad de incorporar memoria analógica [MOR94]. Una primera opción de diseño consiste en incorporar tantas células de memoria analógica (o *Analog Transfer Cells*, ATCs) como muestras totales de corriente entrega el circuito secuencial que computa antecedentes y consecuentes. Dicha estructura de

memorias es secuencialmente direccionada, y en el último de los ciclos de cómputo secuencial analógico, las muestras almacenadas en cada uno de los ATCs son agregadas [MOR97]. Esta configuración de memoria presenta el inconveniente de requerir un número de elementos de memoria cuya dependencia con el número de entradas del procesador, y con la granularidad o división del universo de discurso, es exponencial. De esta forma, la arquitectura secuencial, cuyo objetivo principal es evitar dicha complejidad creciente asociada a la *curse of dimensionality*, pierde parte de las prestaciones que la originan.

Una posible solución, incluida en el diseño definitivo, se basa en la sustitución del conjunto de memorias por un único elemento acumulador o integrador discreto. La naturaleza de operación del procesador, que requiere un conjunto de memorias secuencialmente operadas y que son agregadas en la última fase, permite la sustitución de las mismas por un integrador, que realiza una agregación o acumulación temporal en lugar de espacial o concurrente. Una ventaja de esta aproximación es su generalidad. Sea cual sea la dimensionalidad del procesador diseñado, la operación de suma secuencial es implementada por la etapa integradora (que debe incluir una acción de *reset* cíclica, activada cada vez que el procesador inicia la emulación de la red original). Se requiere, por tanto, un circuito integrador de memoria finita, que presente una respuesta impusional pulsada. La figura 2.92 muestra el principio en que se basa el integrador. El procesado de integración discreta se consigue mediante la aplicación de realimentación positiva sobre un elemento de memoria con retardo, demostrándose que la función de transferencia corresponde al integrador sin pérdidas que se pretende incorporar al procesador.

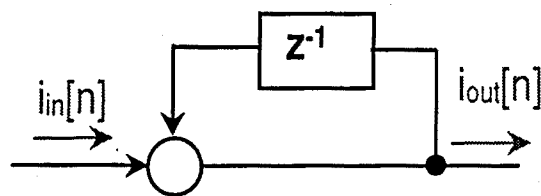


Figura 2.92 Diagrama teórico del integrador/acumulador discreto

La descripción de este diagrama mediante una ecuación de recurrencia discreta según

$$\begin{aligned}
 i_o[n] &= i_{IN}[n] + i_o[n-1] \\
 i_o[n] &= i_{IN}[n] + i_o[n] \cdot z^{-1} \\
 i_o[n](1 - z^{-1}) &= i_{IN}[n]
 \end{aligned}
 \tag{2.344}$$

resulta en una función de transferencia

$$\frac{i_0[n]}{i_{IN}[n]} = \frac{1}{(1 - z^{-1})} \quad (2.345)$$

expresión correspondiente a la característica de un integrador sin pérdidas [OPP89] y que demuestra la operación como elemento integrador discreto.

Circuitalmente, el procesado que requiere el esquema de la figura 2.92 puede implementarse de forma compacta mediante técnicas de procesado en modo corriente. Concretamente, y por una parte, la agregación de señal que aparece en la figura 2.92 es connatural a dichas técnicas; por otra parte, el elemento de memoria de corriente corresponde al copiador de corriente (*current copier*), célula que constituye el núcleo en torno al cual se desarrolla la filosofía de diseño basada en las técnicas de corrientes conmutadas (*Switched Currents, SI*), y que se describe en el apéndice A.

Como desventaja principal asociada a la propuesta de uso de un sólo integrador, cabe mencionar el incremento de sensibilidad respecto al uso de diversas unidades ATC (copiadores de corriente simples), ya que cualquier error de almacenamiento debido al elemento de memoria/retardo que constituye el copiador de corriente es acumulado por la acción integradora. Este efecto condiciona el diseño del copiador de corriente base (elemento que presenta ventajas a nivel tecnológico y a nivel dinámico de velocidad de operación, pero que es prono a los errores de almacenamiento), que debe incorporar técnicas de compensación de error.

La figura 2.93 representa un esquema simplificado del acumulador de corrientes conmutadas que permite describir las técnicas de minimización de error introducidas.

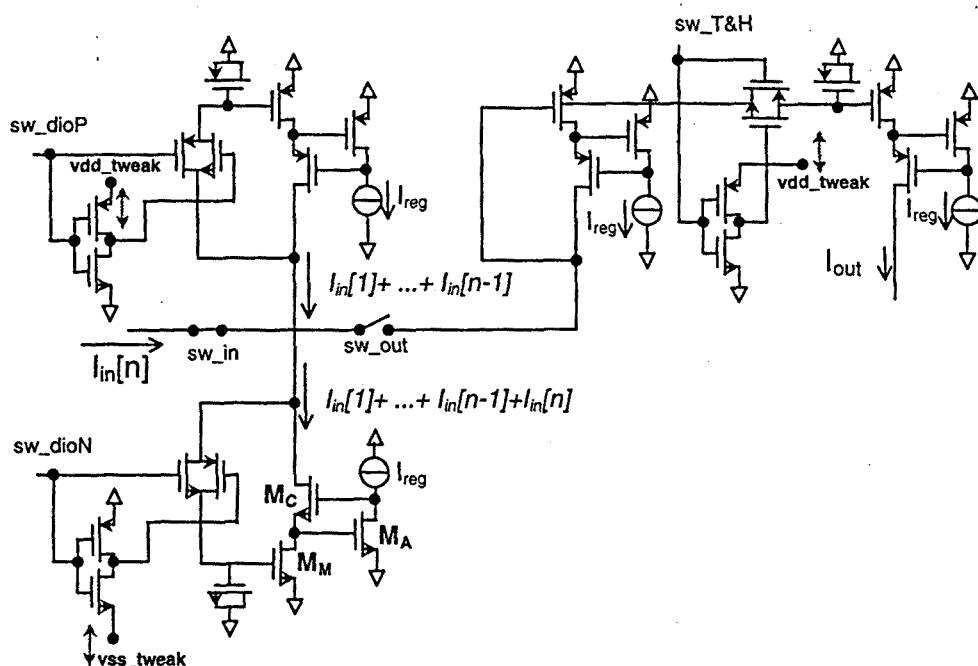


Figura 2.93 Circuito acumulador/integrador discreto de corrientes conmutadas

En general, la obtención de un elemento de retardo analógico requiere la operación intercalada de dos elementos de memoria (con un sub-almacenamiento en el instante $n+1/2$). En el circuito propuesto, se considera la acción de dos elementos de memoria complementarios (copiador de corriente nMOS y copiador de corriente pMOS), configuración que representa ventajas en cuanto a margen de operación [TOU93]. Esta propuesta circuital se inspira en una de las técnicas de reducción de error de copia en copiadores de corriente, la técnica SI^2 . Esta técnica parte de una estructura similar, en la que el copiador pMOS se encarga de memorizar el término de error que después compensa el error de salida. En el circuito de la figura 2.93, de forma cíclica, o bien el copiador nMOS o bien el copiador pMOS queda configurado como diodo y por tanto constituye un nodo de baja impedancia. De esta forma, para un cierto instante de tiempo n , la corriente almacenada en el copiador nMOS corresponde a la corriente de entrada combinada con la corriente que proviene del copiador complementario pMOS, según indica la siguiente expresión:

$$i[k]_{NMOS} = i_{in}[k] + \sum_{j=1}^{k-1} i[j]_{PMOS} = \sum_{j=1}^k i[j]_{NMOS} \quad (2.346)$$

Entre los efectos no ideales que afectan la operación de un copiador de corriente destacan los siguientes [MAC94]: la inyección de carga y el acoplamiento de reloj (*clock feedthrough*), la

conductancia de salida no nula, el ruido térmico y el tiempo de asentamiento. Los dos primeros efectos, de mayor impacto relativo, son minimizados mediante técnicas circuitales, mientras que la adecuación de los parámetros de diseño (relaciones de aspecto y tamaños de los transistores, así como los niveles de las corrientes de polarización) permite minimizar el impacto de los últimos, como se analiza en el estudio del apéndice A.

El circuito propuesto incorpora técnicas de regulación de etapa cascode para minimizar la admitancia efectiva de salida de la célula con salida en corriente. Inicialmente se diseñó la estructura mediante etapas *cascade* simples que actúan como un *buffer* de corriente que minimiza el efecto de las variaciones de la tensión de salida sobre la tensión de drenador del transistor base, incrementando así la resistencia efectiva de salida y mejorando, por ende, la transferencia y el error de copia de corriente. Una objeción a este diseño mediante etapa *cascade* simple es la necesidad de polarizar mediante una tensión externa de referencia. Es precisamente la sensibilidad que presenta esta estructura respecto a dicho nivel de polarización lo que condujo al uso de técnicas de regulación sobre la etapa *cascade*. El objetivo principal de la etapa de regulación *cascade*, mediante un lazo de ganancia debida al transistor M_A que confiere realimentación negativa alrededor del nivel de referencia del transistor *cascade* M_C , es decrementar la conductancia de salida según la ganancia propia de la etapa *cascade* y una etapa de ganancia simple:

$$g_o = g_o^M \cdot \left(\frac{g_o^C}{g_m^C} \right) \cdot \left(\frac{g_o^A}{g_m^A} \right) \tag{2.347}$$

donde g_m representa la transconductancia del transistor MOS y g_o la conductancia de salida. Los valores prácticos de conductancia que pueden obtenerse resultan en una disminución de entre tres y cuatro órdenes de magnitud respecto a la etapa simple (pudiéndose obtener valores de resistencia de hasta $G\Omega$), reduciéndose por tanto el efecto de la conductancia de salida hasta niveles negligibles, en cuanto a error de copia de corriente se refiere. Cabe comentar que, dado que la técnica de regulación *cascade* permite incrementar de forma muy considerable el nivel de resistencia de salida, la aproximación de diseño consiste, no en incrementar dicho resistencia hasta valores excesivos (por no necesarios), sino aprovechar este incremento de resistencia para relajar las condiciones de diseño del transistor base M_M , que es el elemento que marca, entre otros efectos, la compresibilidad del copiator de corriente (en función de la relación de aspecto de $M_M - W/L$) y el ancho de banda o máxima velocidad

de almacenamiento (en función de la capacidad de dicho transistor base, proporcional a su área $-WxL-$). La aplicación de la técnica *cascode* regulada permite, por tanto, obtener un nivel de resistencia de salida equivalente a una etapa *cascode* simple (que es suficiente en esta aplicación) permitiendo, a la vez, una considerable disminución de la longitud del canal del transistor base, que resulta en un incremento de la compresibilidad y del ancho de banda.

No obstante, el efecto más importante que limita la precisión en el almacenamiento y copia de la corriente en una célula copiadora de corriente se debe a la distorsión del nivel de tensión (asociado a una cierta cantidad de carga) que retiene la capacidad de almacenamiento. El origen de la carga de error es doble, en parte debido a la carga del canal formado cuando el transistor conmutador está en estado ON (*charge injection*), y en parte por el acoplamiento de la señal pulsada de control de dicho transistor, vía la capacidad de *overlap* del mismo. La primera parte es difícilmente caracterizable, y presenta fuertes dependencias con los niveles de tensión del circuito (exacerbados, respecto a aplicaciones de capacidades conmutadas, por la operación local en lazo cerrado en la fase de diodo para un copiadore de corriente) así como con los niveles relativos entre capacidades y las formas de onda de la señal de control.

Se presenta a continuación el circuito considerado para minimizar el error de copia debido al fenómeno de inyección de carga –fenómeno que ha sido estudiado exhaustivamente, véase [WEG87], [SHI87], [EIC90], [EIC91], [MAC93], [CHE95], [MAR97]-. Dicha minimización se realiza sobre el error absoluto, a diferencia de otras técnicas que minimizan el impacto del error dependiente de la señal, responsable de la distorsión en filtros de corrientes conmutadas [YAN90], [SON92], [SON93], [TOU93], [JON93], [YAN94], [TSE95], [ZEN96], [CHE96], [RIF97]. La propuesta circuital, debida a J. Madrenas, aparece descrita en [MAD99b].

La figura 2.94 muestra las formas de onda representativas en el método de compensación de carga considerado.

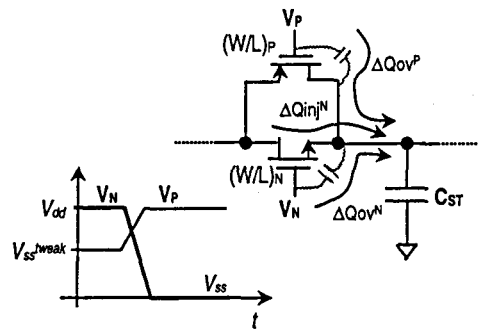


Figura 2.94 Magnitudes y formas de onda representativas del circuito de compensación del error de inyección de carga.

Obsérvese que la señal V_P de activación del transistor conmutador complementario, presenta una excursión reducida y ajustable $V_{dd}-V_{ss}^{tweak}$. Dado que la inyección de carga es de sentido opuesto para ambos tipos de transistor, es posible obtener una compensación efectiva del error de tensión almacenado en el nodo capacitivo, tal como han corroborado simulaciones circuitales a nivel de transistor.

La figura 2.95 muestra la versión definitiva considerada para el circuito acumulador integrador de corrientes conmutadas, como extensión del circuito básico de la figura 2.93 al que se han añadido los transistores de redireccionamiento de señal (incluido un camino de *bypass* de la estructura), así como un diodo MOS de entrada que evita la condición de circuito abierto para las células precedentes. El *layout* del acumulador discreto de corrientes conmutadas se muestra en la figura 2.96, en la que es posible apreciar la diferencia entre los conmutadores (complementarios) que reconducen señal, de relación de aspecto elevada, frente a los conmutadores de área mínima de memorización.

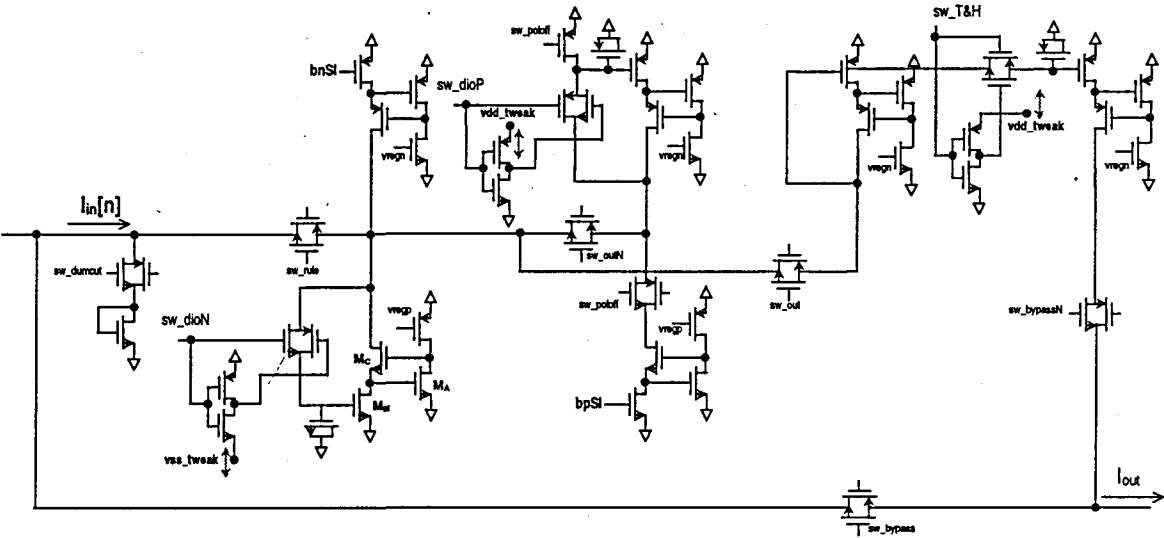


Figura 2.95 Esquema detallado del acumulador/integrador discreto de corrientes conmutadas

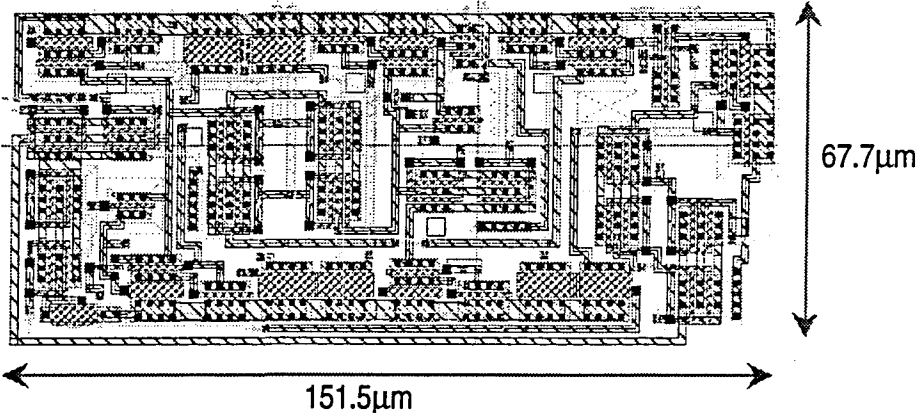


Figura 2.96 Muestra del *layout* del acumulador discreto de corrientes conmutadas

2.15.8 Circuito de temporización del acumulador. Memoria de la arquitectura secuencial

Los circuitos de corrientes conmutadas son especialmente sensibles a las formas de onda de las señales de control. Con el objetivo de obtener un comportamiento como el esperado teórico, ha sido preciso incluir un circuito de señales de control digital, mostrado en la figura 2.97, y que presenta una estructura realimentada con el fin de obtener fases de reloj no solapadas (*non-overlapping clocks*). Asimismo, como propuesta nueva, el circuito incorpora subcircuitos de inversión digital de tipo *starving inverter* –véase [DAN97]– que implementan inversores de retardo variable de forma continua (analógica) y de formas de onda suavizadas. Dicha conformación temporal gradual, mostrada de forma cualitativa en la figura 2.98, ha sido considerada como señal de apertura de los transistores conmutadores de las células copiadoras como medida adicional de minimización del fenómeno de inyección de carga.

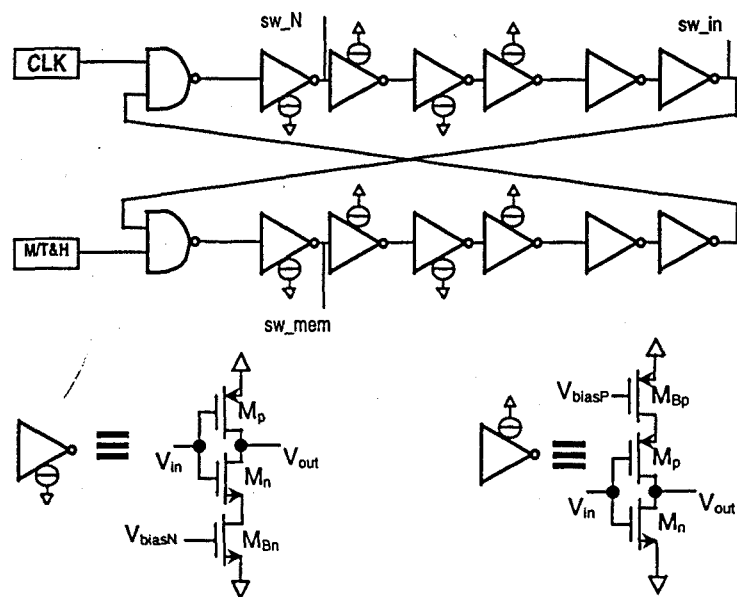


Figura 2.97 Circuito de temporización de fases no solapadas para el acumulador discreto SI. Detalle de implementación de los *starved inverters*

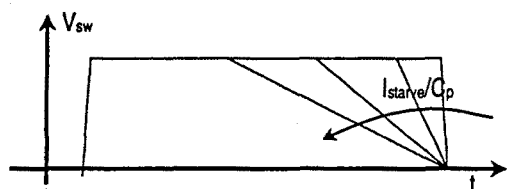


Figura 2.98 Forma de onda temporal de la señal de gobierno del interruptor de memorización en el circuito SI.

Como validación de la anterior estructura (si bien que la estructura definitiva presenta cierta complejidad adicional para generar las señales complementarias de conmutación así como admitir señales adicionales de control), se presentan en la figura 2.100 simulaciones *post-layout* (mostrado en la figura 2.99) que verifican la generación de fases de reloj no solapadas (subgráficas superiores) que presentan uno de los flancos de transición con pendiente temporal programable (aumento en las dos subgráficas inferiores).

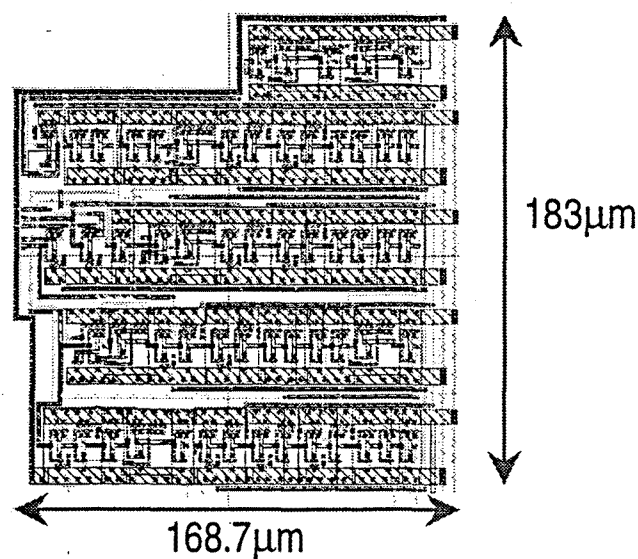


Figura 2.99 *Layout* del circuito de temporización para el bloque de acumulación y división PWM.

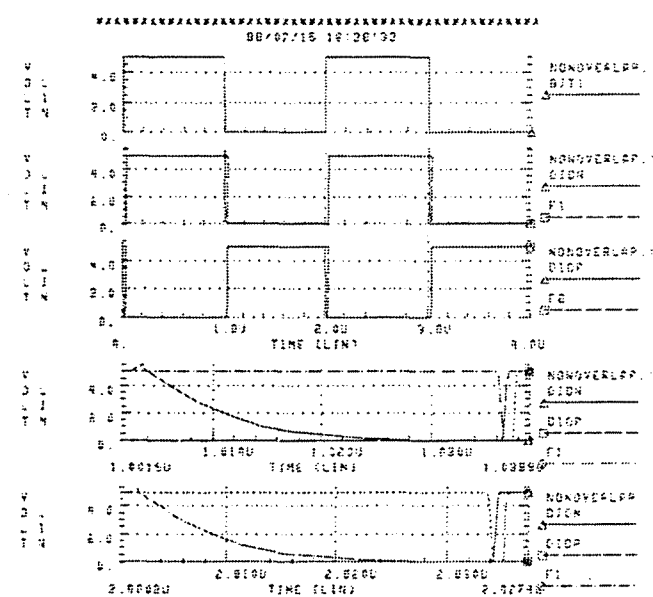


Figura 2.100 Simulación del circuito de fases de reloj no solapadas con pendiente de apertura variable de forma continua.

Como característica específica de la arquitectura secuencial propuesta, nótese que el subcircuito de control digital principal, incluido en el ASIC y mostrado en el apéndice B, genera códigos digitales que producen tanto la programación de características de antecedentes y consecuentes, como los relojes de control de los acumuladores de corrientes conmutadas y el circuito de división posteriormente descrito. A fin de evitar la corrupción de las señales en corriente entregadas por los circuitos analógicos hacia el acumulador, se ha incluido en el circuito integrado un conjunto de cadenas de retardo para aquellas señales digitales que no corresponden a las señales de generación de temporización SI, retardos que están conformados por una cadena de 4 inversores compensados de tipos *starving*, y cuya estructura de *layout*, en forma de *slice* modularizable se muestra en la figura 2.101. La adición de estos circuitos de retardo permite que la etapa de memoria de acumulación analógica se anticipe a la variación de señal debida al cambio de los circuitos precedentes, proporcionando así un diseño robusto que permite extender las frecuencias de operación.

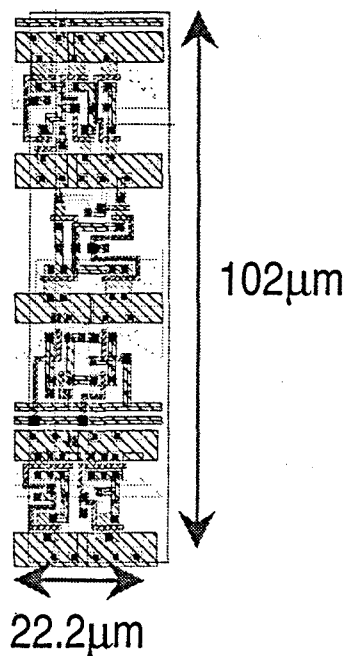


Figura 2.101 Detalle (*slice*) de *layout* para los circuitos de retardo de los códigos de control digitales.

2.15.9 Defuzzyficador PWM. Circuito divisor PWM en modo corriente

Entre las diversas opciones circuitales existentes para implementar controladores *fuzzy* mediante una aproximación microelectrónica analógica o mixta, la operación de división requerida para llevar a cabo la *defuzzyficación* constituye el procesado más crítico, tanto por su propia dificultad en contexto analógico, como por el hecho de aparecer como último

bloque del controlador y por tanto presentar máxima sensibilidad a la inexactitud de implementación. En la literatura aparecen diversos métodos para llevar a cabo la operación de división incluida en un controlador *fuzzy*, aunque no son particulares a ninguna aplicación de control concreta. Existen diseños [RAM95] que efectúan la división en tiempo continuo mediante células divisoras en corriente basadas en el principio translineal propio de los transistores bipolares. Otra aproximación considera un convertidor A/D algorítmico como divisor mixto con entrada analógica en corriente y salida directamente digital [BAT96]. Otras arquitecturas [VID95] realizan una normalización previa de los pesos $-w_i$, eventualmente mediante lazos de normalización [PAM95], que evitan la división, aunque esta técnica no es aplicable al caso de arquitecturas secuenciales en el tiempo. Recientemente Dualibe *et al.* [DUA98] presentan un circuito de tiempo continuo que implementa la operación de división en modo de transimpedancia (I/V).

Considerando los anteriores precedentes, y que una de las aplicaciones clave del controlador corresponde al control de plantas de potencia conmutadas, cuya acción de control es un tren de pulsos ON/OFF, el trabajo aquí descrito implementa la división analógica mediante la propia modulación PWM de anchura de pulsos, eliminando redundancias en el diseño de controladores *fuzzy* para dichas plantas de potencia.

El esquema de la figura 2.102 representa, a nivel conceptual, la operación del defuzzificador considerado, que consta de una etapa de agregación (para la arquitectura descrita la agregación es temporal por medio de los circuitos de acumulación mediante técnicas de corrientes conmutadas y no espacial, como muestra la figura).

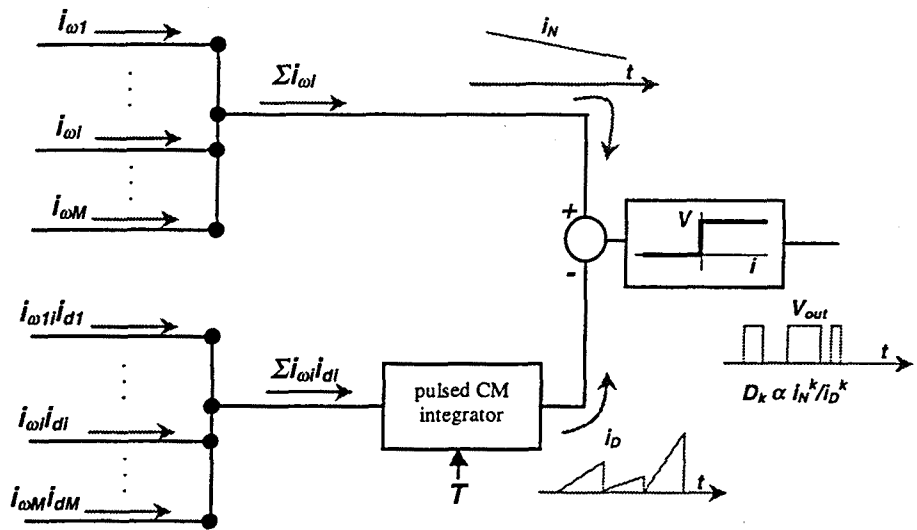


Figura 2.102 Esquema funcional de la etapa de defuzzyficación con modulación de anchura de pulsos.

El esquema clásico de modulación PWM utiliza la comparación de un nivel de entrada con una señal en diente de sierra para obtener la señal de salida pulsada y modulada. Si el nivel de la rampa se considera variable en función de una de las señales de entrada –la señal i_D –, integrándola en intervalos de duración $T_s=1/f_s$ iguales a la frecuencia de modulación PWM (figura 2.103), la ecuación que rige el cambio de estado a la salida del modulador es:

$$i_N[k] = \frac{g_m}{C_{int}} \int_{t_k}^{t_k+t_{ON}} i_D[k] \cdot dt \quad (2.348)$$

$$\xrightarrow{t_k \leq t \leq t_{k+1}} i_N[k] = \frac{g_m}{C_{int}} \cdot i_D[k] \cdot t_{ON}$$

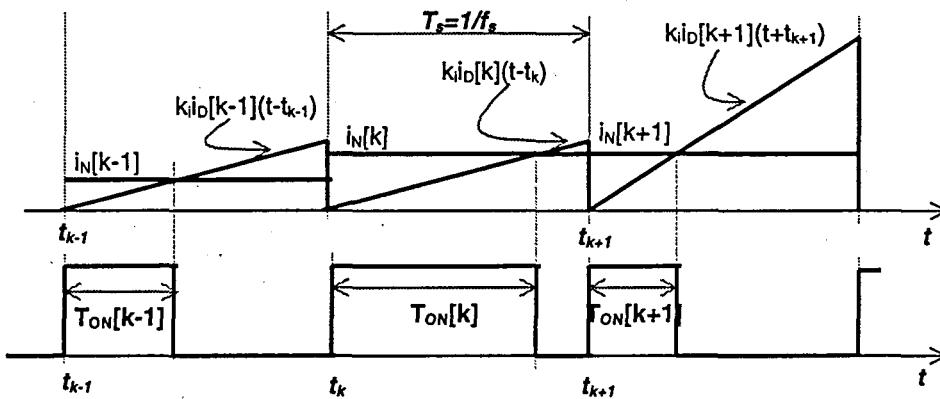


Figura 2.103 Representación temporal del proceso de modulación de anchura de pulsos con rampa variable

donde $i_N[k]$, $i_D[k]$ son las señales de entrada al modulador y k_I la constante del integrador. Nótese que la acción del comparador evalúa de forma continua la igualdad entre los dos miembros de la ecuación (2.348), de forma que el ciclo de trabajo de salida del modulador deviene:

$$D_k = \frac{t_{ON}[k]}{T_s} = \frac{C_{int}}{g_m \cdot T_s} \frac{i_N[k]}{i_D[k]} \quad (2.349)$$

expresión en la que la operación de división aparece de forma explícita. Esta operación de división puede interpretarse en virtud de la transformación señal/tiempo inherente a la modulación PWM.

Cabe citar que, aunque existen diversas propuestas de implementación de procesadores *fuzzy* o neuronales con representación de señales en modulación de anchura de pulsos [CHI95], [TOM96], [ELM97] éstas se proponen como circuitos híbridos que combinan las ventajas del diseño analógico y el digital, facilitándose el diseño hardware de las operaciones de adición y mínimo. No obstante, dichas propuestas utilizan métodos de división complejos, sin aprovechar la división implícita que proporciona la modulación PWM. Por otra parte, el uso de la modulación PWM como núcleo de proceso para operaciones de producto y división aparece en un trabajo de mediados de la década de los ochenta [CIC86], aplicado a señales continuas y por tanto con el requerimiento de un filtrado paso bajo posterior a la señal modulada, destinado a extraer el armónico fundamental del tren de pulsos PWM. A nivel circuital, el uso de la técnica de capacidades conmutadas restringe su aplicación a márgenes de frecuencias bajas y medias. Por otra parte, se observa que la solución de la división vía modulación PWM resulta en una integración pulsada de la señal de denominador, lo que conlleva un filtrado de ruido e interferencias de dicha señal con un ancho de banda equivalente igual a la frecuencia de conmutación.

En la figura 2.104 se muestra el circuito CMOS que implementa la modulación PWM y por tanto la división, operando con señales de entrada en modo corriente y con salida directamente en tensión ON/OFF modulada. El núcleo del modulador PWM lo constituye un comparador con entrada en corriente y salida en tensión [ROD95]. El comparador consta, por una parte, de un inversor (M_{n,p_inv}) cuya entrada capacitiva le confiere gran resolución. Por otra parte, se establece un camino de realimentación negativa no lineal, mediante un seguidor de tensión en clase AB (M_{n,p_fdb}), que resulta, como se requiere para la operación en modo corriente, en un nodo de entrada al comparador de baja impedancia. Las corrientes de entrada al modulador/divisor $-I_N, I_D$ provienen de sendos espejos de corriente ($M_{Ni}, M_{No}, M_{Di}, M_{Do}$) que actúan como *buffers* de corriente. Por otra parte, el integrador de corriente consta de un transconductor, operando en lazo abierto, que detecta la señal de tensión en rampa que aparece en el condensador C_{int} debido a la inyección de corriente I_D . Esta configuración resulta en una constante de integración de corriente $k_i = g_m / C_{int}$, que es variable electrónicamente. De este modo, al variar la frecuencia de operación del procesador *neurofuzzy*, y con vistas a adecuar el margen dinámico en cuanto a ciclos de trabajo, debe ajustarse la constante de integración, bien vía un cambio de la capacidad *off-chip*, bien vía un

ajuste continuo mediante la transconductancia. Cabe destacar que esto supone una ventaja en cuanto a la adaptación de niveles de salida del ASIC. Considerando una salida en tensión analógica sin modulación ON/OFF, sería necesario incorporar un amplificador (interno o externo) para adecuar el margen dinámico de salida del CI controlador al margen dinámico de entrada del circuito a controlar. En este caso basta incorporar los buffers de conmutación que suministren el nivel de potencia que demande cada aplicación particular.

Para este circuito integrador se ha considerado un transconductor linealizado mediante compensación por operación en clase AB de las características no lineales de los transistores. Este diseño explota la característica de transconductancia lineal, variable electrónicamente y de elevado ancho de banda que presenta un par de transistores MOS apareados, operando en saturación y con la suma de sus tensiones puerta/surtidor mantenidas fijas [SEE87]. Obsérvese que basta un espejo simple para extraer la diferencia de corrientes del núcleo de transconductancia, pues la etapa siguiente presenta baja impedancia de entrada (comparador de transimpedancia) asociada a un nivel de tensión razonablemente fijo que asegura el correcto funcionamiento de la etapa previa.

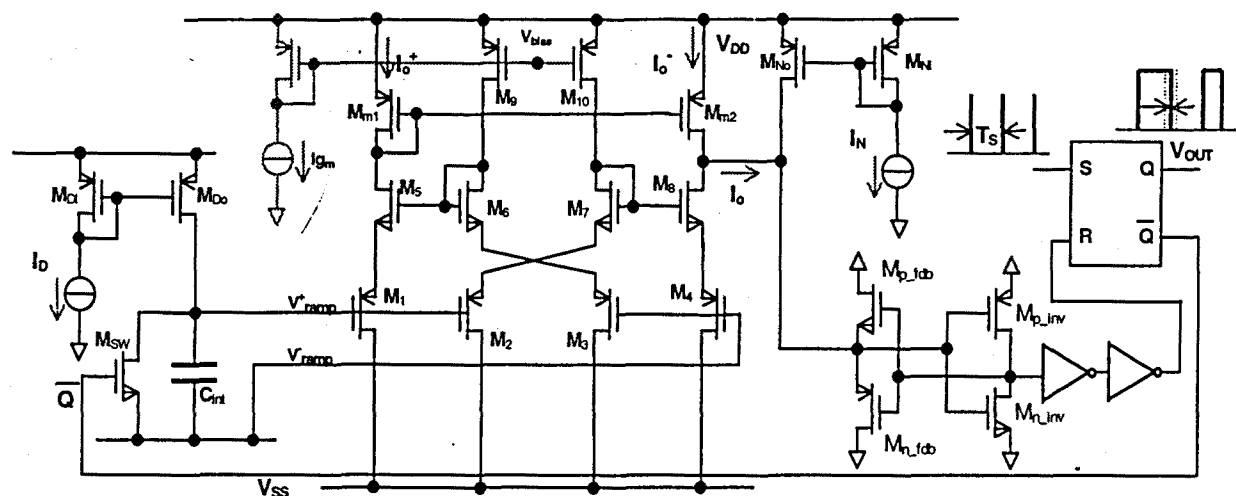


Figura 2.104 Circuito divisor / modulador PWM con operación en modo corriente.

La limitación del margen en tensión de entrada que asegura una transducción lineal (cuantitativamente, que asegura un factor de no linealidad por debajo de una cierta cota) implica una limitación en la capacidad de reproducir exactamente el comportamiento de cociente, es decir, revierte en la fidelidad de reproducción de la operación de división.

En la figura 2.104 se observa la inclusión de un elemento de memoria, un flip-flop SET/RESET, considerado en el circuito con el objetivo de evitar multiconmutaciones intra-

ciclo, efecto que debe evitarse inexorablemente al controlar plantas de potencia conmutadas. La señal que activa el control de SET del flip-flop corresponde a un tren de pulsos estrechos generados por el circuito encargado de proporcionar las señales de control para los circuitos de corrientes conmutadas. En este caso, la señal debe ser autónoma, y no puede ser generada por un oscilador no lineal astable como es el caso de moduladores PWM estándar, pues en el caso bajo estudio, la variación del nivel de rampa conllevaría una variación de la frecuencia de oscilación. Adicionalmente, la señal invertida Q_n es utilizada para descargar la capacidad de integración que genera la rampa de nivel variable, lo que constituye una opción circuital que resulta en mejor funcionamiento comparada con la opción de utilizar pulsos de descarga estrechos de duración constante. De este modo, el tiempo de descarga corresponde a T_{OFF} , y ello justifica los márgenes de variación del ciclo de trabajo de salida $0 < D < D_{MAX}$.

Ciertas propuestas circuitales relacionadas corresponden a las células *Palmo* de procesado PWM analógico genérico de Papathanasiou [PAP98], que consideran integradores *log-domain*; los circuitos de procesado no lineal SI propuestos en [ZEN98], si bien que la integración PWM se obtiene mediante integración discreta y el circuito de defuzzyficación de Bouras y Y. Tsividis [BOU97] de tipo centro de gravedad, que considera integraciones analógicas mediante variación temporal en la capa de salida de un procesador *neurofuzzy*.

La validez del método propuesto así como del circuito diseñado ha sido comprobada mediante simulaciones a nivel transistor *post-layout*. La figura 2.105 muestra una simulación en el dominio temporal del circuito de la figura 2.104, donde se observa la evolución de la señal modulada PWM, así como las corrientes de salida del transconductor y de entrada al comparador de corriente. La correcta operación a una frecuencia de conmutación de control de 100kHz, con la obtención de una señal modulada en anchura de pulsos que presenta flancos rápidos, es debida a la aproximación del diseño en modo corriente, que incluye la operación en lazo abierto del integrador y la disminución de los niveles de impedancia asociados a la realimentación local en el comparador. Por otra parte, la gráfica de la figura 2.106 representa los valores de ciclo de trabajo medidos por simulación para un barrido bidimensional de corrientes i_N e i_D . Se muestran sobrepuestas las gráficas hiperbólicas teóricas que corresponden a la operación de división.

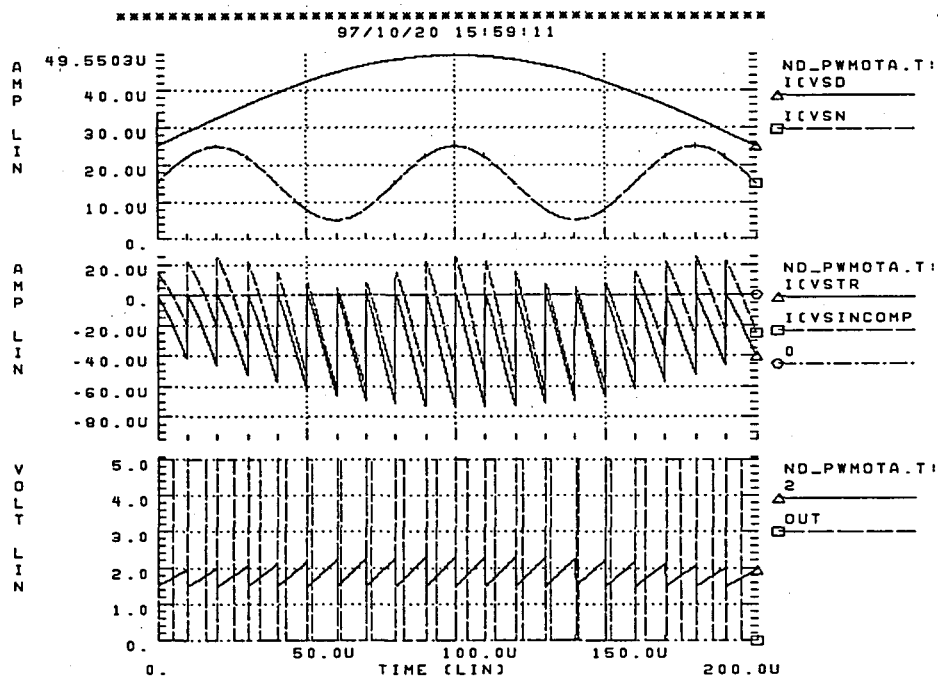


Figura 2.105 Simulación HSPICE de la evolución temporal de las señales implicadas en la división / modulación PWM en modo corriente

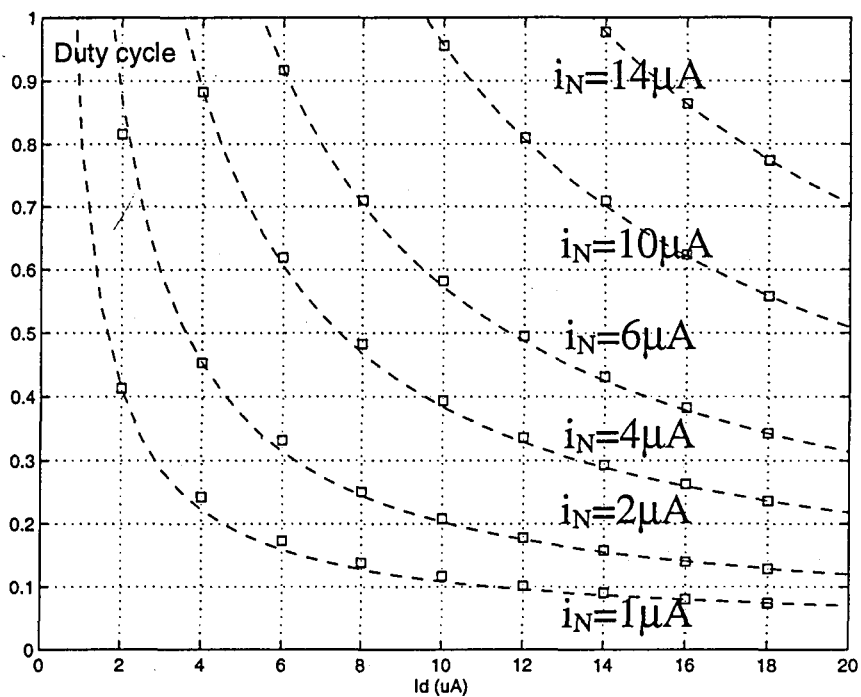


Figura 2.106 Variación del ciclo de trabajo de salida del modulador PWM en función de las corrientes de entrada

La figura 2.107 muestra el *layout* del circuito divisor PWM con operación en modo corriente. El transistor con orientación vertical visible en la parte izquierda de esta sección de *layout*

corresponde al transistor encargado de la descarga de la capacidad externa de integración. El núcleo del *layout* lo constituye el transconductor, cuyos transistores de polarización, de considerable tamaño, se observan en la parte superior. El uso de estructuras interdigitadas permite la implementación de transistores de relación de aspecto elevada sin desequilibrar la conformación del *layout*. La parte inferior derecha corresponde al comparador de transimpedancia, que destaca por su compacidad. El consumo de corriente, no obstante, aparece como contrapartida de esta estructura circuital, dado que los transistores de entrada trabajan en zona de saturación, estableciendo así una resistencia de bajo valor relativo entre los dos nodos de alimentación. El resto de estructura que acompaña a dicho comparador está constituido por inversores -operando como etapas de ganancia *rail-to-rail*, *i.e* etapas de ganancia no lineal push-pull en clase AB- y el flip-flop, de estructura estándar. Una ventaja muy notable de este circuito, con acceso en corriente (i_N e i_D) y salida en tensión modulada ON/OFF en anchura de pulsos, resulta precisamente de la naturaleza de la señal de salida, que permite atacar directamente un buffer digital para extraer la señal del ASIC, lo que constituye una ventaja respecto a la extracción de señales analógicas, ya imbriquen éstas la información en modo tensión o en modo corriente. Este hecho ha motivado recientemente la aparición de trabajos que tratan de establecer la comunicación intrachip mediante modulaciones analógicas de magnitudes temporales de trenes de pulsos ON/OFF [NAG98]

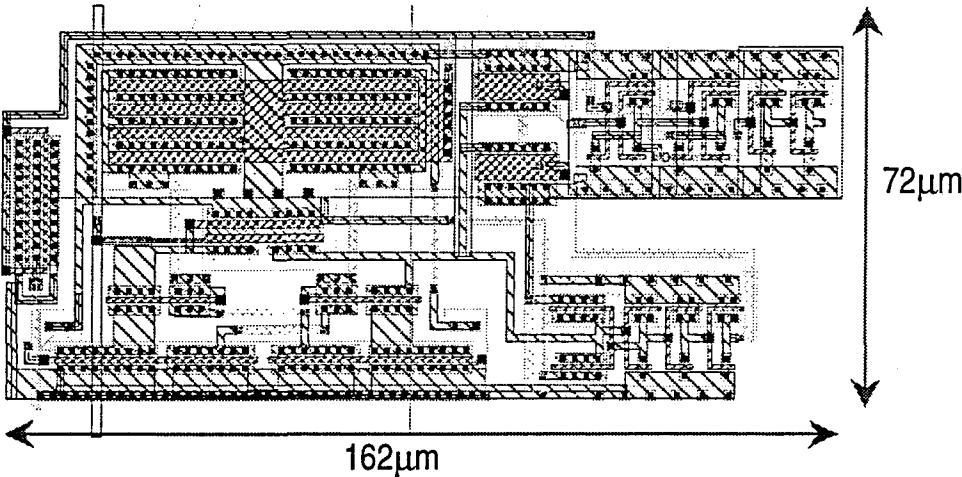


Figura 2.107 *Layout* del circuito divisor / modulador PWM.

2.15.10 Simulaciones globales post-layout

En este apartado se presentan resultados de simulación completos a nivel de transistor *post-layout* que corroboran la funcionalidad de la arquitectura, la operación entre los distintos

subcircuitos que la conforman así como el funcionamiento de cada uno de ellos. Antes de presentar los resultados de simulación, cabe plantear ciertas observaciones sobre el funcionamiento global del circuito mixto.

Considerando la arquitectura mixta completa, la propia operación secuencial, con la carga de los circuitos T&H en corriente alimentados por los acumuladores, requiere de un cierto tiempo en cada ciclo para que se almacenen los datos agregados antes de atacar al circuito divisor modulador PWM, lo que limita el ciclo de trabajo máximo, en este diseño, a $D^{\text{MAX}}=7/8$. Una posible solución circuital para subsanar esta deficiencia sería el considerar la operación en paralelo de dos bancos de T&H en corriente, y el subsiguiente control mediante *interleaving*.

Conviene remarcar una especificidad de la arquitectura mixta presentada frente al concepto en que generalmente se enmarcan las arquitecturas mixtas de procesamiento microelectrónico (*mixed-signal designs*, en inglés). En general, una ASIC mixta corresponde a un diseño microelectrónico en el que partes disjuntas de procesamiento analógico y digital comparten un sustrato común. El núcleo de procesamiento suele deberse a la parte digital (*i.e.* un núcleo *DSP core*), mientras que los subsistemas y subcircuitos analógicos suelen corresponder a circuitería de acondicionamiento de señal (amplificación, filtrado y conversión D/A) o de reconversión de señal (bien sean convertidores D/A, o subcircuitos de potencia). En este contexto, el núcleo digital, operando a una cierta frecuencia de trabajo, constituye una fuente ineludible de interferencias sobre los subsistemas analógicos, que operan con señales que están totalmente incorreladas respecto de aquéllas (*e.g.*, en bandas de frecuencias muy diferentes). A diferencia de este tipo de arquitecturas, en el caso de la arquitectura secuencial mixta analógica-digital que implementa el controlador *neurofuzzy*, la circuitería digital proporciona los cambios en los códigos de control que operan de forma síncrona con los cambios en la parte digital. Es decir, la arquitectura es realmente de procesamiento analógico digitalmente controlado. Así, mientras las memorias analógicas almacenan la información antes de los cambios instantáneos de programación (que producen *glitches* en las señales analógicas), se mantiene una razonable inmunidad entre la circuitería digital y la analógica.

Considerando los resultados de simulación, cabe diferenciar la distinta naturaleza de dos subbloques del circuito diseñado.

Por una parte, el conjunto de bloques que implementan los antecedentes y consecuentes son circuitos analógicos digitalmente programables, y con el fin de verificar su correcta operación, en la figura 2.108 se muestran las formas de onda representativas.

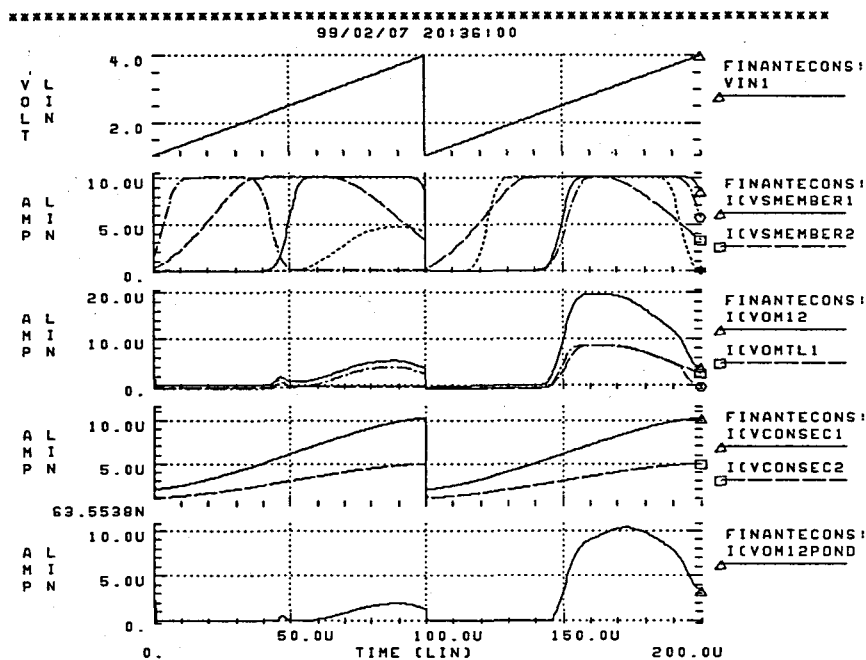


Figura 2.108 Simulación de la obtención de antecedentes y consecuentes en modo corriente para una excitación lineal del margen de entrada

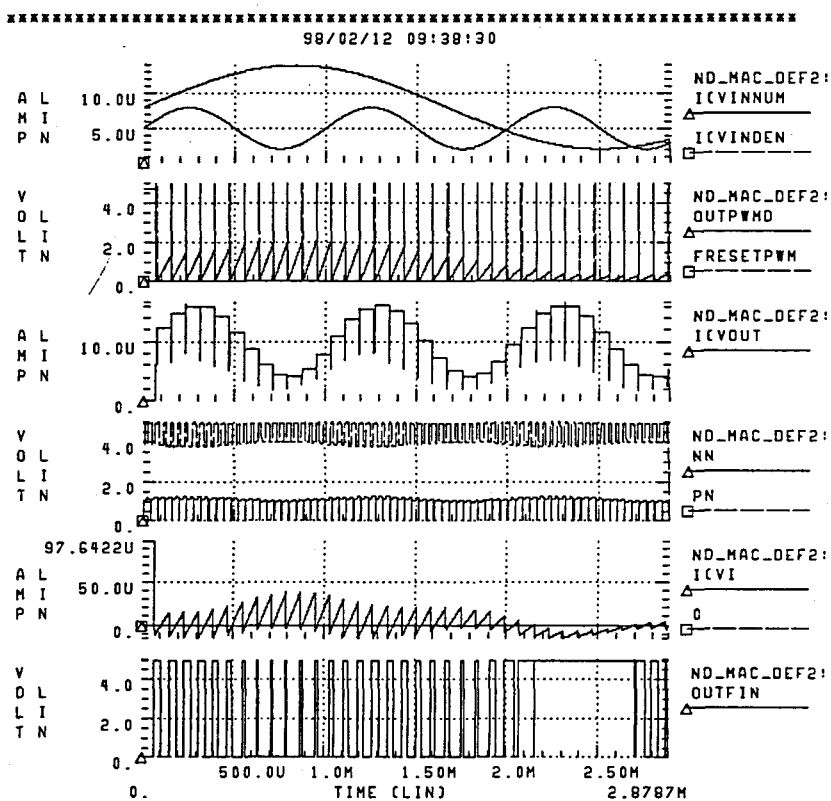


Figura 2.109 Simulación global en régimen conmutado de la etapa de acumulación y división (defuzzificación)

En dicha figura se observa cómo ante una excitación en tensión en diente de sierra (subgráfica 1), que explora el espacio de entrada, los circuitos de antecedentes y consecuentes responden, en dos subintervalos temporales de características diferenciadas, con la conformación de las funciones de pertenencia de las distintas reglas y bloques paralelos del esquema de la figura 2.77 (subgráfica 2), que interactúan mediante la función de mínimo conformando funciones locales (subgráfica 3) y que son ponderadas posteriormente (subgráfica 5) por la acción de los consecuentes (subgráfica 4).

Por otra parte, el subcircuito formado por los bloques de acumulación en modo corriente conmutada así como el circuito divisor PWM, de naturaleza de tiempo discreto y que reciben la información de los bloques anteriores, es validado mediante la simulación de la figura 2.109. Dicho bloque es excitado con señales continuas sinusoidales (subgráfica 1) (que no corresponden a una operación real conmutada del procesador global) que proporcionan un tren de pulsos modulado en anchura (subgráfica 6) que modula la información de la división entre dichas señales. La subgráfica 2 muestra la rampa variable en tensión del divisor PWM junto al pulso de *reset*, a la vez que la subgráfica 5 muestra la corriente de entrada al comparador de transimpedancia, cuyos cruces por cero generan el tren de pulsos PWM. La subgráfica 3 muestra la acumulación integrativa de la corriente de numerador, mostrándose en la subgráfica 4 los subestados de agregación en la forma de tensiones de puerta de los copiadores de corriente complementarios que conforman un acumulador SI.

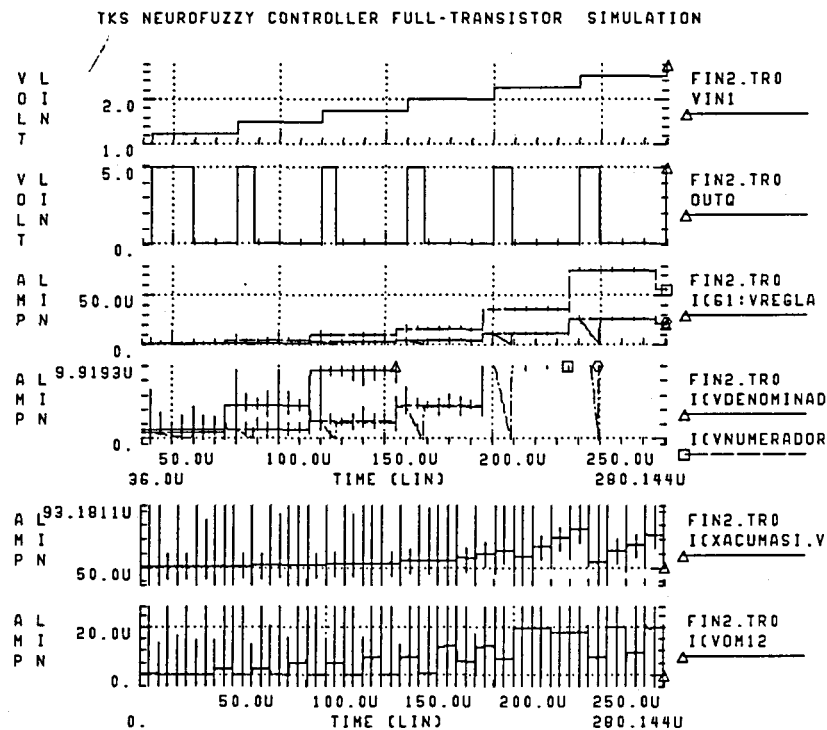


Figura 2.110 Simulación global final a nivel transistor del controlador *neurofuzzy*.

Por último, la figura 2.110 muestra los resultados de simulación global a nivel de transistor del circuito integrado *neurofuzzy*. La simulación, cuya base temporal es reducida por la excepcional complejidad que el circuito comporta para el simulador circuital, muestra la validación de la estructura completa cuando la entrada en tensión progresa según una rampa de intervalos discretos (subgráfica 1) común a las tres entradas del procesador con el fin de explorar el espacio tridimensional del problema, entregando la correspondiente señal de salida modulada PWM (subgráfica 2). Las gráficas intermedias corresponden a las corrientes de entrada al divisor PWM así como la corriente de entrada al comparador (subgráfica 3 y 4 ampliada), las corrientes de salida de los dos acumuladores SI (subgráfica 5), así como las corrientes secuenciales entregadas por los bloques antecedentes y consecuentes (subgráfica 6). Tras presentar la descripción circuital del ASIC diseñado y validar su funcionamiento a nivel de simulación *post-layout*, la tabla 2.9 muestra una comparativa entre distintas arquitecturas propuestas en la bibliografía.

El diseño del procesador *neurofuzzy*, del que aparece información detalla adicional sobre aspectos prácticos de realización y fabricación en el apéndice B, es el único que implementa un modelo TSK-1 (lo que revierte en una menor complejidad *a posteriori*), además de ser la única propuesta secuencial, lo que junto a la metodología de diseño en modo corriente revierte en una comparación favorable en área. Las medidas definitivas del prototipo integrado, cuyas muestras han sido recientemente recibidas, proporcionarán una estimación realista sobre el consumo (que se prevé reducido en base a los resultados de simulación), así como la velocidad de operación, que dependerá de las prestaciones de la circuitería conmutada.

TABLA 2.9 Tabla comparativa entre diversas implementaciones analógicas o mixtas de procesadores difuso

| | Manaresi <i>et al.</i> [MAN96] | Guo <i>et al.</i> [MAN96] | Rodríguez-Vázquez <i>et al.</i> [ROD99] | Propuesto |
|------------------------|--|--|--|---|
| # reglas, # entradas | 9 reglas, 2 entradas, 2 salidas | 13 reglas, 3 entradas, 1 salida | 16 reglas, 2 entradas, 1 salida | 8 reglas, 3 entradas, 1 salidas |
| Modelo difuso | TSK-0 | TSK-0 | TSK-0 | TSK-1 |
| tecnología | CMOS 0.7µm | CMOS 2.4µm | CMOS 1µm | CMOS 0.8µm |
| Consumo | 44mW @5v | 550mW @10v | 8.6mW @5v | ? W @5v |
| Retardo entrada-salida | 570ns | 160ns | 471ns | <8µs |
| Interface | analog voltage input / analog voltage output | analog voltage input / analog voltage output | analog voltage input / analog current output | analog voltage input / PWM voltage output |
| Ocupación de área | 1.9mm² | 16.2mm² | 1.6mm² | 0.7mm² |

CAPÍTULO III

DISEÑO MICROELECTRÓNICO EN MODO CORRIENTE DE UN CONTROLADOR DE CORRIENTE Y UN CONTROLADOR DE UN CICLO PARA CONVERTIDORES CONMUTADOS CONTINUA-CONTINUA

3.1 Introducción

Las variables de estado de un convertidor conmutado pueden ser clasificadas según su comportamiento dinámico en variables de estado de dinámica rápida y de dinámica lenta [POV88]. Dicha separación justifica las relevantes prestaciones dinámicas que ostentan las estrategias de control que consideran variables de estado rápidas o algún índice significativo asociado a las mismas, frente a la clásica regulación PWM en tensión, de dinámica lenta, que si bien permite obtener regulaciones de línea y de carga apropiadas, no se adecua a la naturaleza conmutada de la planta.

Tal como ha sido expuesto en la introducción, por una parte, el control de corriente para convertidores conmutados DC-DC, que reduce el orden dinámico efectivo de la planta de potencia sobre la que actúa al controlar ciclo a ciclo la corriente del inductor, y, por otra parte, el control de un ciclo, que extiende dicha idea al control instantáneo de las variaciones de la tensión de entrada al sistema regulador, eliminando efectivamente toda dinámica propia de la planta, constituyen dos estrategias de control de elevadas prestaciones dinámicas.

En el presente capítulo se estudia la problemática asociada a la implementación de los circuitos para dichos métodos de control, que requieren de características de procesado de

dinámica rápida, y se plantea la síntesis y el diseño de dichos circuitos. La aplicación de técnicas de procesamiento en modo corriente permite proponer estructuras circuitales que se adecuan a los requerimientos dinámicos de las técnicas de control de dinámica rápida, además de beneficiarse del resto de propiedades de dicho modo de implementación microelectrónica.

Con esta finalidad, se analizan en este capítulo los requerimientos en cuanto a procesamiento que dichos métodos de control requieren. Posteriormente, se detallan los diseños de dos circuitos microelectrónicos analógicos CMOS con operación en modo corriente que implementan, por una parte, el método de control de corriente MC^2 , diseñado a nivel *layout*, y por otra parte, un compacto controlador de un ciclo que permite su operación a altas frecuencias.

En general, las estrategias de control avanzado para convertidores conmutados, y en particular las dos técnicas consideradas, no son directas en su implementación, dada la falta de disponibilidad de circuitos comerciales que implementen dichas estrategias (si bien cabe citar las bien establecidas propuestas de alguna compañía como Unitrode [MAM94], para el caso del control de corriente). En cuanto a su implementación microelectrónica, debido tanto a la compacidad de las leyes de control, como a los requerimientos dinámicos, su implementación analógica constituye la solución natural frente a técnicas de procesamiento digital de señal –véase e.g. [TS94], [CIP98], [VALL98]–. Frente a la complejidad de la implementación de los métodos de control de tipo neurodifuso descritos en el apartado precedente, que hace del diseño de un circuito integrado de aplicación específica un requerimiento ineludible, el diseño de controladores integrados como los tratados en este capítulo permite explorar nuevas propuestas de control de convertidores, así como conseguir circuitos compactos de bajo consumo de potencia y de alta fiabilidad, que pueden utilizar toda la riqueza de procesamiento del diseño microelectrónico, con el fin de mejorar las prestaciones globales de sistemas de media y alta potencia. En dicha área, la tendencia tecnológica que impone un aumento de frecuencias de conmutación con el fin ulterior de una reducción de peso y volumen de los elementos reactivos de almacenamiento energético, constriñe en mayor medida las especificaciones dinámicas de los circuitos de control.

Considerando una tendencia diferente si bien que asociada, destacan algunas recientes propuestas de controladores integrados de altas prestaciones, –véanse los trabajos de Lau y Sanders [LAU97], Dancy y Chandrakasan [DAN97], así como Stratakos, Sanders y Brodersen [STR94], entre otros [ACK95], [ARB95]–, en las que se investigan nuevos circuitos de control para convertidores de baja potencia, con el objetivo último de conseguir sistemas de potencia integrados junto a los propios circuitos de carga. Destacan asimismo las aplicaciones

en el área de *smart-power* [STO92], [TAY92], en las que la circuitería de control incluye un conjunto de circuitos adicionales que mejoran sus prestaciones, apareciendo los elementos semiconductores de potencia integrados sobre el mismo sustrato que los circuitos de procesamiento o control, bien sea en tecnologías especiales [FIN94], [MAR95a], [MAR96], [KIM96], [REY97], o sobre tecnologías estándar CMOS [REI96]. Algunas propuestas plantean la inclusión integrada de los propios elementos reactivos de (baja) potencia [SMI94], [SUL93], con el consiguiente aumento de la frecuencia de conmutación.

Los diseños presentados en este capítulo pretender sentar las bases en cuanto al núcleo de procesamiento circuital de controladores de altas prestaciones dinámicas, con el objetivo de poder extender el trabajo presentado a la consideración de nuevos índices de control en corriente [POV88] así como estudiar las posibilidades del control de un ciclo como técnica de control multilazo.

3.2 Diseño de un controlador de corriente MC² microelectrónico mediante técnicas de procesamiento analógico en modo corriente

3.2.1 Introducción

El presente apartado presenta el estudio, diseño y simulación de un controlador de corriente (*Current Control Modulator*, MC², en inglés) para el control de convertidores conmutados de potencia DC-DC. El circuito analógico propuesto se adecua a la implementación microelectrónica en forma de circuito integrado, lo que revierte, además de en una reducción de volumen y peso, en un incremento de la fiabilidad del mismo. Estos requerimientos son clave en aplicaciones de sistemas de alimentación aerospacial, en los que el control en corriente es ampliamente utilizado [ALA98b]. La propuesta circuital se construye sobre las bases de las técnicas de procesamiento analógico en modo corriente (a diferencia de los CI comerciales y alguna reciente propuesta como ASIC por parte de investigadores del centro ESA-ESTEC [PER98] diseñados en modo tensión), lo que resulta en un diseño compacto apropiado al control ciclo a ciclo de alta frecuencia requerido por el control de corriente, como corresponde al control de una variable de estado de dinámica rápida del convertidor [POV88]. Cabe aclarar que dada la homonimia entre método de control y metodología de diseño analógico, se considerarán, respectivamente, los términos *control de corriente* y *diseño en*

modo corriente. El circuito de control ha sido diseñado a nivel transistor hasta la fase de *layout* para una tecnología estándar CMOS de 0.8 μ m. En dicha tecnología, resultados de simulación *post-layout* para el controlador monolítico propuesto muestran una operación apropiada para frecuencias de conmutación de la planta de potencia de, al menos, hasta 1MHz.

A modo de revisión del control en modo corriente de convertidores, y retomando lo expuesto en el capítulo I de introducción, cabe argumentar que dicha estrategia de control para convertidores conmutados constituye una de las mejores alternativas respecto a las diferentes técnicas propuestas, dada su sencillez de planteamiento, y por tanto, de implementación, a la vez que sus notables prestaciones. El control en corriente [CAP84] (eventualmente denominado *current-programming*, en inglés) es uno de los métodos de control de doble lazo, en el que un lazo interior de dinámica rápida proporciona un control instantáneo pulso a pulso de la corriente del inductor o del conmutador, mientras que, a su vez, un lazo exterior se encarga de la regulación en tensión. Existe un número considerable de controladores de corriente particulares [POV88], así como un número significativo de trabajos de investigación debidos al modelado y análisis de los reguladores conmutados que los incluyen [VOR96], [YAA92], [GEG96], [MAK93], [TAN96]. Todos ellos subrayan los siguientes beneficios que del uso de dicha técnica de control se derivan: función de transferencia de lazo de regulación en tensión de un solo polo real; limitación de corriente instantánea e inherente; adecuación a la paralelización de convertidores por la naturaleza como elemento circuital de potencia de alta impedancia de salida que adquiere el convertidor, y la posibilidad de incorporar prealimentación de la tensión de entrada y la corriente de salida [RED85].

La figura 3.1 ilustra el diagrama de bloques simplificado de la estrategia de control parcial (lazo de corriente) que determina el ciclo de trabajo D en el control de corriente máxima del inductor (*peak current mode control*, en inglés). Según dicho esquema, una muestra continua de la señal correspondiente a la corriente de inductor, junto a una señal de corriente de referencia (proporcionada por el lazo externo de regulación en tensión) y una rampa de compensación en corriente —cuyo objetivo es evitar la inestabilidad del sistema de control para ciclos de trabajo $D > 0.5$, y que permite obtener una respuesta *deadbeat* [POV88]—, son combinadas y llevadas a una etapa de comparación con el fin de proporcionar una señal de control pulsada.

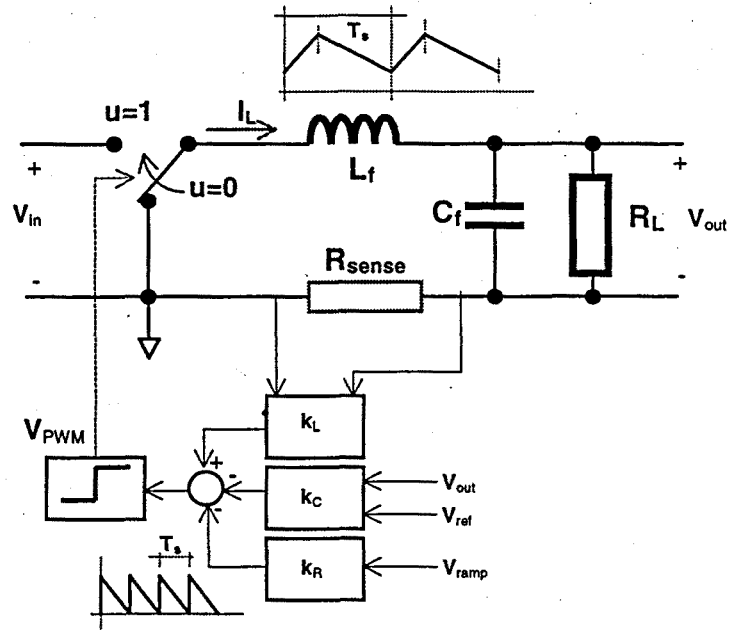


Figura 3.1 Convertidor conmutado reductor con lazo de control de corriente

Partiendo del anterior esquema se ha diseñado un controlador analógico PWM con control de corriente, compatible con tecnologías tolerantes a la radiación [CER98] y que se describe a continuación, tanto a nivel de descripción circuital como en cuanto al conjunto de resultados de simulación.

3.2.2 Descripción circuital de los bloques CMOS de procesamiento analógico

La operación de agregación requerida en el nodo de comparación del controlador MC² de la figura 3.1, connatural al procesamiento en modo corriente, sugiere el uso de una representación de señal en el dominio de la corriente. En procesamiento analógico en modo corriente, la adición de señal se obtiene directamente reconduciendo sobre un solo nodo de baja impedancia las señales entregadas por fuentes de señal de alta impedancia. Respecto a los requerimientos del controlador de lazo en corriente descrito, la metodología de diseño en modo corriente impone la necesidad de diseñar convertidores tensión-corriente lineales, integradores en modo corriente (para la síntesis de la señal en rampa) así como comparadores con entrada en corriente y salida en tensión. Las particularidades de diseño de dichos subcircuitos se detallan a continuación.

3.2.2.1. Etapas de entrada de transconductancia lineal

El uso de etapas de transducción en la interficie de entrada o *front-end* del controlador proporciona el modo de conversión de las tensiones externas debidas a la célula de conversión de potencia en corrientes de procesamiento interno al controlador. Si bien pueden ser operados en lazo cerrado [LAK94], en general, los transconductores son operados como convertidores tensión-corriente en lazo abierto, operación que revierte en unas características dinámicas excelentes, en detrimento de una severa limitación en cuanto al margen dinámico de entrada o margen de linealidad, dadas las características intrínsecamente no lineales de los dispositivos transistores. En este sentido, diversas técnicas de diseño han sido propuestas en la literatura especializada con el fin de extender el margen de linealidad de los transconductores; en tecnologías bipolares, por ejemplo, se considera el uso de resistencias de degeneración de emisor [TOU91] (cuya extrapolación conduce a estructuras que consideran CCCII, como idealización de la operación de transistores, junto a una resistencia externa [LIN99]). En tecnologías CMOS, las técnicas cubren desde una degeneración activa de fuente [KRU89] hasta diversos métodos que explotan las características cuadráticas suaves de los transistores MOS operados en inversión fuerte y saturación [TOU91], [MAD98], si bien que éstos normalmente requieren de un balanceo de las señales para obtener la compensación de características no lineales [TSI93], [LAK94], operación que está justificada en un entorno de procesamiento de señal balanceada y que requiere de circuitos adicionales de control del modo común [DUQ93].

El diseño finalmente considerado para el controlador MC² aprovecha la característica de transconductancia lineal, electrónicamente variable y de elevado ancho de banda de una célula basada en dos transistores MOS apareados, operados en saturación y con la suma de sus tensiones de puerta-fuente mantenidas fijas. El bloque transconductor definitivo basado en el anterior principio, y debido a Seevinck [SEE87] se muestra en la figura 3.2, en la que se observa que las fuentes de tensión flotantes aplicadas al par de transducción se implementan mediante pares CMOS conectados en diodo, resultando un circuito diferencial con entrecruzamiento (*cross-coupling*) apropiado para una operación como bloque de transconductancia electrónicamente variable. Esta estructura ha sido asimismo utilizada como etapa de entrada de amplificadores operacionales de alta ganancia, alta velocidad y con un elevado valor de *slew-rate*, debido a la linealidad de dicha etapa [LI88], [FIE89].

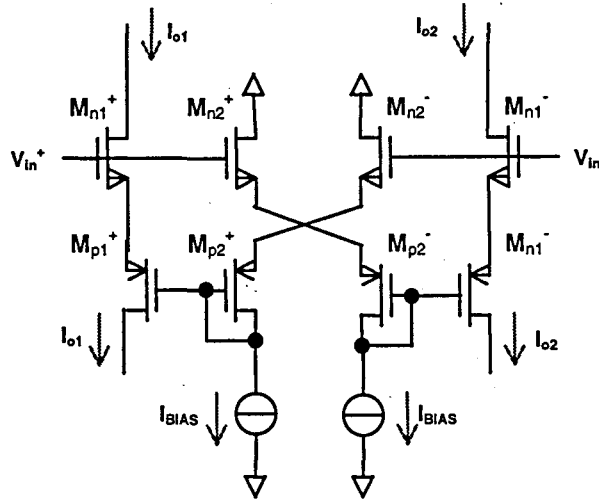


Figura 3.2 Bloque CMOS de transconductancia variable

La transconductancia del circuito V/I de la figura 3.2 viene dada por [SEE87]:

$$g_m = \frac{I_{o1} - I_{o2}}{V_{in}^+ - V_{in}^-} = \sqrt{8I_{BIAS}} \cdot \frac{\beta_a}{\sqrt{\beta_b}} \quad (3.1)$$

siendo

$$\beta_{a,b}^{-1} = (\beta_{n1,2}^{-\frac{1}{2}} + \beta_{p1,2}^{-\frac{1}{2}})^2 \quad (3.2)$$

Por su parte, el margen de operación lineal está acotado en la tensión de entrada por las corrientes de polarización y las relaciones de aspecto de los transistores, debido a la condición de operación en saturación de los transistores CMOS, según [LAK94]:

$$|V_{in}| < \sqrt{\frac{2}{\beta_a}} \sqrt{I_{BIAS}} \quad (3.3)$$

estando, a su vez, la restricción en cuanto a la máxima corriente de salida impuesta por

$$|I_{out}| < |4I_{BIAS}| \quad (3.4)$$

Nótese que el margen de operación lineal en corriente es mayor de un 100 porcentual de la corriente estática de polarización total.

En cuanto a los efectos de segundo de orden que afectan a dicha célula transconductora se refiere, puede demostrarse [SEE87] que los desapareamientos aleatorios tecnológicos resultan en una componente de *offset* así como en un término de distorsión de segundo orden, a un nivel equivalente al que corresponde a pares diferenciales simples formados por dos transistores acoplados por fuente. Sin embargo, no se requiere un apareamiento entre los transistores de tipo *n* y de tipo *p*, e incluso la propia estructura circuital tiende a compensar tanto los efectos de modulación de canal como el efecto de sustrato. Para que dicha cancelación sea posible se requiere que cada transistor sea conectado desde su pozo local a la tensión de alimentación respectiva, configuración que requiere tecnologías de pozo doble (*twin-well*). A pesar de este hecho, el transconductor ha demostrado presentar márgenes de linealidad elevados, y, sobre todo, destaca el hecho de que no requiera de señales balanceadas para la cancelación de no linealidades, lo que permite su aplicación como conversor V/I cuando una de las entradas se mantiene fijada a un nivel de referencia, como corresponde a la aplicación bajo estudio.

3.2.2.2. Etapa de agregación

Las células de transconductancia previamente descritas deben ser cargadas apropiadamente en sus nodos de salida mediante nodos de baja impedancia (cuyo nivel de tensión esté virtualmente fijado) a la vez que se obtenga la operación de sustracción requerida (3.1). En el diseño propuesto dicho comportamiento se consigue por medio de una red de agregación basada en una estructura de tipo *folded-cascode* [LAK94]. Cabe notar que la combinación de diversas etapas de conversión lineal V/I diferencial junto a una etapa de agregación común puede interpretarse como un transconductor de entrada múltiple. Funcionalmente, esta estructura es equivalente al uso de diversos amplificadores operacionales de transconductancia (OTAs) conectados en el nodo de salida, si bien que la anterior es preferible en cuanto a ocupación de área, consumo de potencia y complejidad de diseño se refiere.

El subcircuito *folded-cascode* —cuya estructura a nivel de transistor se muestra en la figura 3.3— está compuesto de dos seguidores de corriente (*buffers*) en puerta común y de un espejo de corriente a la salida de los mismos encargado de la sustracción. La corriente de salida de

dicha etapa corresponde a la agregación de las diferencias entre las respectivas señales diferenciales de entrada.

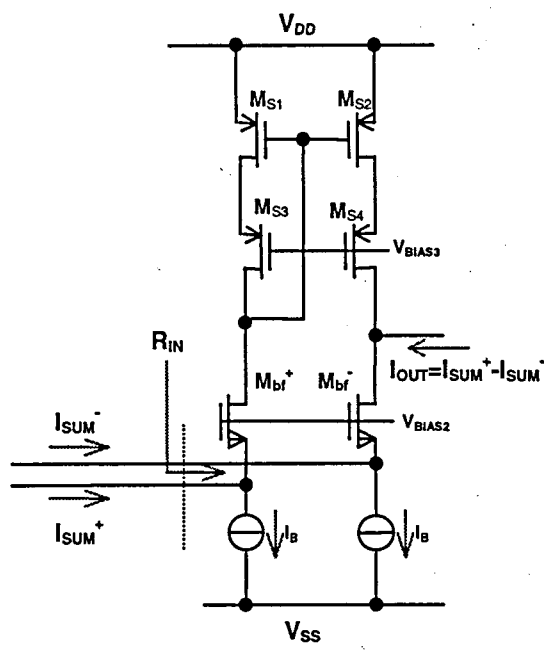


Figura 3.3 Etapa de agregación de tipo CMOS *folded cascode*

Una expresión aproximada para la resistencia de entrada equivalente para la etapa *folded cascode* viene dada por

$$R_{in} \cong \frac{1}{g_m} \left(1 + \frac{R_L}{r_{DS}} \right) \tag{3.5}$$

siendo R_L/r_{DS} la relación entre la resistencia de carga de la etapa en el nodo de salida de las etapas *buffer* en puerta común y su resistencia de salida, debida al efecto de modulación del canal. Por su parte, la dependencia inversa con la transconductancia requiere relaciones de aspecto elevadas para los transistores de entrada, si bien que polarizados con corrientes moderadas para evitar una degradación del comportamiento para altas frecuencias de operación.

Por otra parte, el espejo de corriente de sustracción se ha elegido del tipo operable para bajas tensiones de alimentación, por su alta compresibilidad en cuanto a margen de tensión. Esta configuración de espejo de corriente [CRA92] consigue buena exactitud de copiado y una baja conductancia de salida en virtud de su operación cascodo, si bien que el hecho de que evite una serie de transistores en conexión de diodo previene de la reducción del margen de

operación de salida en tensión. El uso de una etapa cascodo reduce errores de *offset* (sistemático) en el nodo de evaluación de la acción de control previo al comparador.

3.2.2.3. Comparador de corriente

Con el objetivo de que un comparador sea compatible a nivel de carga con la etapa previa de agregación de corriente, su impedancia de entrada debe ser suficientemente baja como para aceptar niveles de corriente bidireccionales sin variar apreciablemente su nivel de tensión, de forma que los transistores de la etapa de agregación operen en saturación. Ello justifica el uso de un comparador de transimpedancia de entrada en corriente y salida en tensión. La descripción de la funcionalidad de dicho elemento circuital se muestra en la figura 3.4a, y la estructura circuital correspondiente es mostrada en la figura 3.4b. El núcleo de dicho circuito lo constituye un inversor simple digital (operación en tensión) (M_{n_inv} , M_{p_inv}), interpretable como un amplificador analógico no lineal de tensión [LAK94], al que se añade una red de realimentación en clase-AB (M_{n_fdb} , M_{p_fdb}) que proporciona un seguimiento en tensión no lineal. Dicha acción de realimentación confiere al circuito la característica de operación en modo corriente al reducir su impedancia de entrada. Asimismo, el circuito opera en tiempo continuo, sin estado de *latch*, a diferencia de ciertos comparadores en tensión [STE91]. De hecho este comparador regenerativo formado por cuatro transistores de área mínima retiene las características de los comparadores de entrada capacitiva (alta precisión, debido al efecto integrador), combinando las ventajas de la entrada resistiva no lineal, con el objetivo de permitir una operación de alta velocidad [ROD95]. La figura 3.4c muestra la dependencia del tiempo de conmutación del comparador en función del nivel de corriente de entrada, consiguiéndose retardos de hasta tan sólo 1ns. Este circuito ha sido considerado previamente en algunas arquitecturas circuitales algorítmicas de conversión analógico/digital en modo corriente, en las que codifica en un estado binario el signo de las sucesivas corrientes. Tal como se ha comentado, la entrada capacitiva debida al inversor digital resulta en una acción de integración, resultando en un nivel de *offset* de corriente nulo, a diferencia de las estructuras de comparación en tensión debidas a pares diferenciales. La figura 3.4d muestra, mediante una simulación transitoria ($f_{in}=1\text{MHz}$) el correcto comportamiento del circuito como detector del sentido de la corriente de entrada así como la capacidad para mantener fijada la tensión de entrada al mismo a un nivel centrado respecto a las alimentaciones.

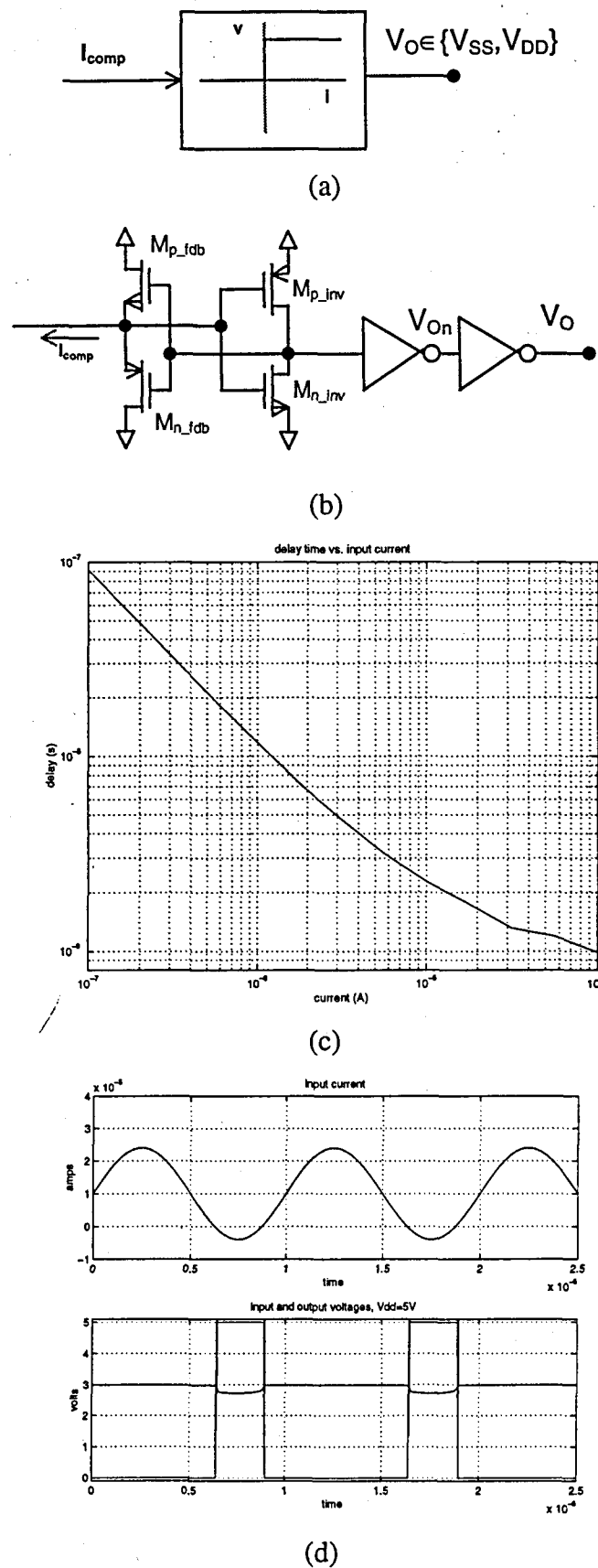


Figura 3.4 Comparador de transimpedancia de alta ganancia (a) Descripción funcional
 (b) Implementación circuital a nivel transistor (c) Retardo vs corriente de entrada
 (d) Comportamiento transitorio (simulación HSPICE)

Por último, y debido a la reducida excursión de la señal de salida en tensión del comparador, ésta debe atacar a un conjunto de amplificadores analógicos (de hecho, una cadena de inversores digitales de tamaño óptimo que ataquen a las cargas capacitivas debidas a los pads de salida) de forma que se obtengan señales abruptas de transición ON/OFF. La anterior estructura circuital, debido a su mecanismo intrínseco de ganancia en transimpedancia, resulta en un mínimo tiempo de retardo de comparación para una tecnología dada.

3.2.2.4. Integrador de corriente

Con el fin de obtener un nivel de corriente de evolución lineal en el tiempo, como señal de rampa de compensación requerida por el controlador MC², debe implementarse una acción de integración pulsada.

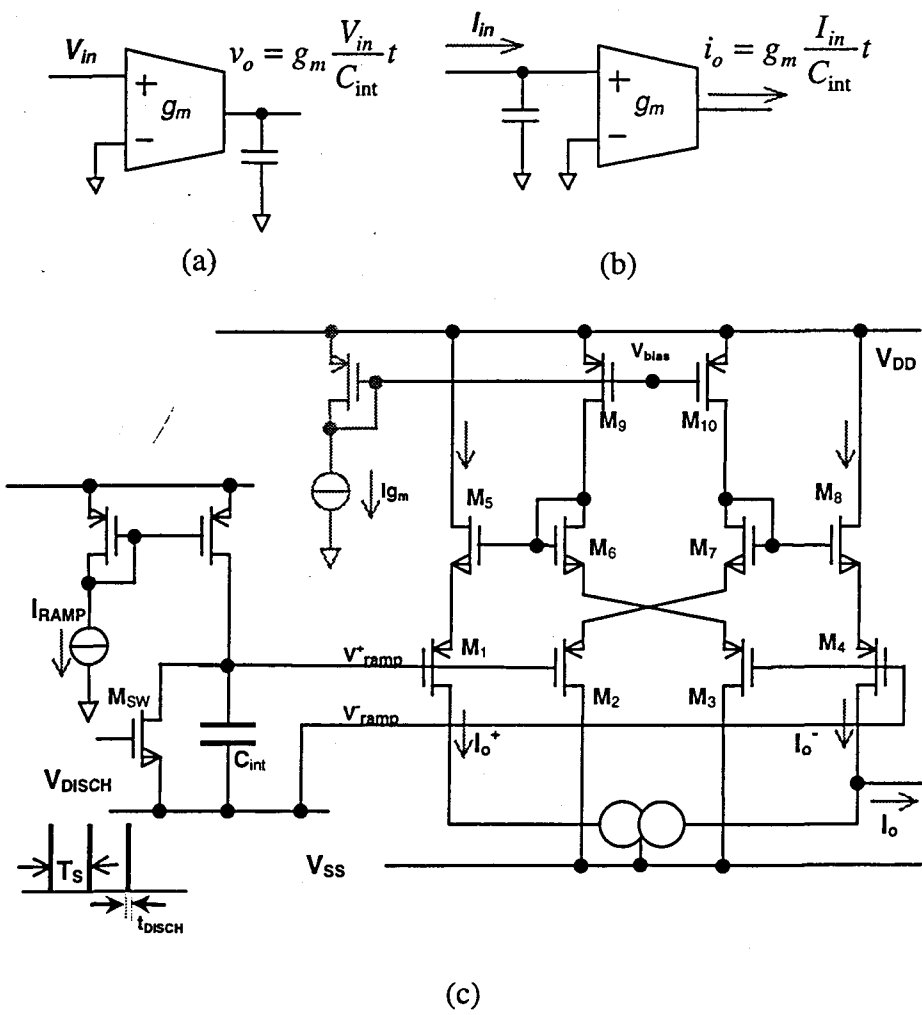


Figura 3.5 Configuración de integración en lazo abierto (a) en tensión (b) en corriente (c) Descripción a nivel transistor de una estructura de integración pulsada en corriente

Dada la disponibilidad de elementos capacitivos en un entorno de diseño integrado, que establecen una integración de corriente de forma connatural, tanto la integración de tensión -fig5(a)- como la integración de corriente -fig5(b)- se obtienen cambiando el orden de la configuración circuital debida a una capacidad y un transconductor. Ambas configuraciones, que operan en lazo abierto, son óptimas, en lo que se refiere a sus propiedades dinámicas, respecto a su equivalente basado en estructuras con amplificadores operacionales realimentados.

En base a la anterior discusión, la integración pulsada de corriente de entrada y de salida es implementada finalmente por el circuito mostrado en la figura 4.5c, que parte de un espejo de corriente actuando como *buffer* que drena la corriente dependiente de la entrada sobre el nodo capacitivo. El condensador conectado a dicho nodo es periódicamente conmutado por la acción del transistor M_{SW} según un período T_s , de forma que la corriente de salida del transconductor consiste en una señal en corriente de diente de sierra. El margen de entrada en modo común del transconductor acepta el nivel de la alimentación negativa gracias al uso de transistores pMOS de entrada. Obsérvese que dicha estructura es la complementaria de la mostrada en la figura 3.2.

Considerando frecuencias de operación elevadas, deben modelarse los aspectos asociados al acoplamiento de reloj debido al transistor conmutado. Los transitorios ON-OFF resultan en una inyección de carga negativa desde la señal pulsada de control V_{DISCH} hacia el nodo de integración vía la capacidad de *overlap* del transistor M_{SW} . Analíticamente,

$$e_{voltage} = \frac{C_{ov}}{C_{INT}} \cdot (V_{HIGH} - V_T) = \frac{C_{ov}}{C_{INT}} \cdot V_{ov} \propto C_{ov} \propto W_{SW} \quad (3.6)$$

expresión en la que C_{ov} denota la capacidad de *overlap*, V_{HIGH} corresponde al nivel alto digital y V_{ov} a la tensión de *overdrive*, y que ilustra la dependencia de la tensión de error respecto de la anchura del canal del transistor de conmutación. Además del fenómeno de acoplamiento de reloj, y con el objetivo de asegurar la descarga completa del condensador, se ha incluido en el diseño un generador de pulsos estrechos de anchura variable. Dicho bloque se compone de un inversor con *starving* (similar a los utilizados en el retardo digital variable del procesador neurodifuso del apartado 2.15.7) y una puerta lógica XOR, para la obtención, a partir de una señal de reloj externo, de un tren de pulsos de anchura ajustable externamente $-t_{DISCH}$.

Respecto a las condiciones de diseño del transistor de descarga, su relación de aspecto debe ser suficientemente elevada como para satisfacer

$$t_{DISCH} > nR_{ON_{sw}} C_{INT} \propto \frac{C_{INT}}{k' \left(\frac{W}{L}\right) V_{ov}} \quad (3.7)$$

respetando, a la vez, el condicionante impuesto por el efecto de acoplamiento de reloj (3.6) para un cierto valor dado del condensador de integración.

3.2.3 Resultados de simulación del prototipo controlador MC²

El controlador en modo corriente de control MC² propuesto ha sido diseñado hasta el nivel de *layout* utilizando una tecnología de doble polisilicio y doble metal de 0.8μm CMOS. Para dicha tecnología, los resultados de simulación *post-layout* para el circuito controlador aislado, considerando la extracción de elementos parásitos, muestran un comportamiento apropiado según establece la definición inicial de su comportamiento.

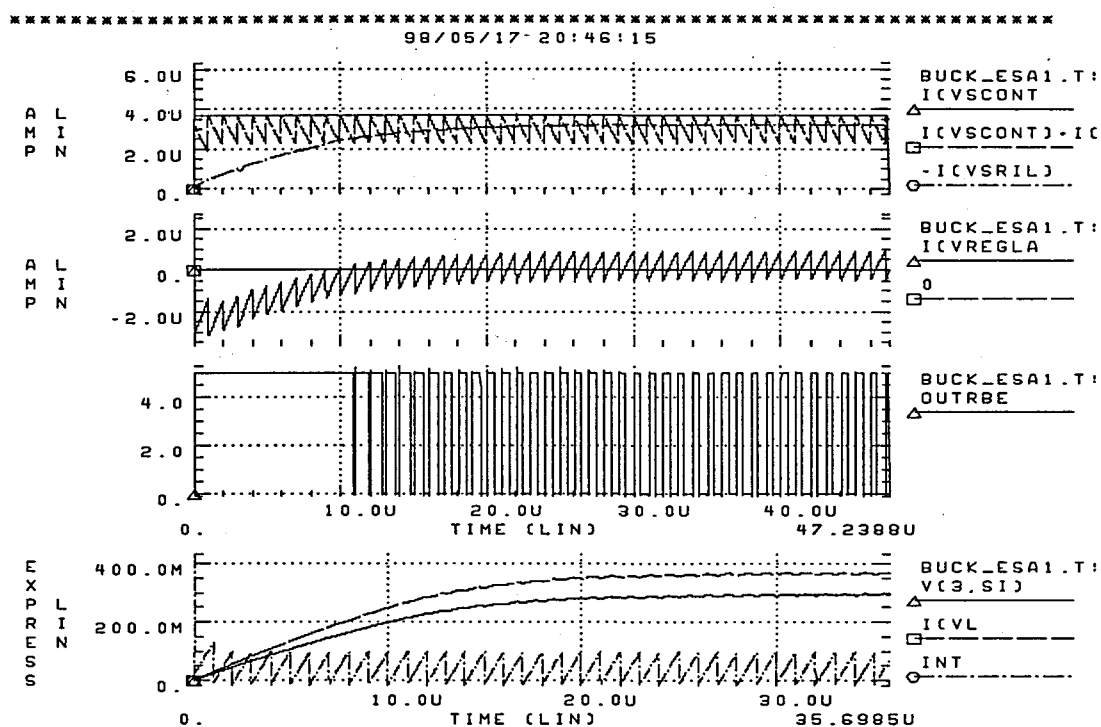
Con el objetivo de evaluar el comportamiento del circuito actuando como controlador, se ha considerado un circuito convertidor conmutado DC-DC reductor como planta de potencia, modelada con conmutadores ideales (con el fin de estimar el comportamiento debido tan sólo a las no idealidades del controlador), de parámetros $L_f=175\mu H$, $C_f=0.22\mu F$ como filtro de salida, $R_L=5\Omega$, $R_{SENSE}=0.8\Omega$, $V_g=5V$ y $i_{Lref}=0.4A$ como corriente de referencia fijada por el lazo externo. El elevado valor de la frecuencia de conmutación, de 1MHz, persigue poner de manifiesto las capacidades dinámicas de la propuesta de diseño en modo corriente. El diagrama completo del controlador se muestra en la figura 3.7 así como los parámetros geométricos de los transistores. El controlador diseñado considera que cada bloque de transconductancia tiene control independiente de su valor de g_m , con el objetivo de mejorar la flexibilidad del diseño, de forma que la ecuación que modela el cambio de estado $T_{ON} \rightarrow T_{OFF}$ del control deviene

$$g_{m_1} V_C + (-g_{m_2} \frac{i_{RAMP}}{C_{int}}) = g_{m_3} R_{SENSE} i_L \quad (3.8)$$

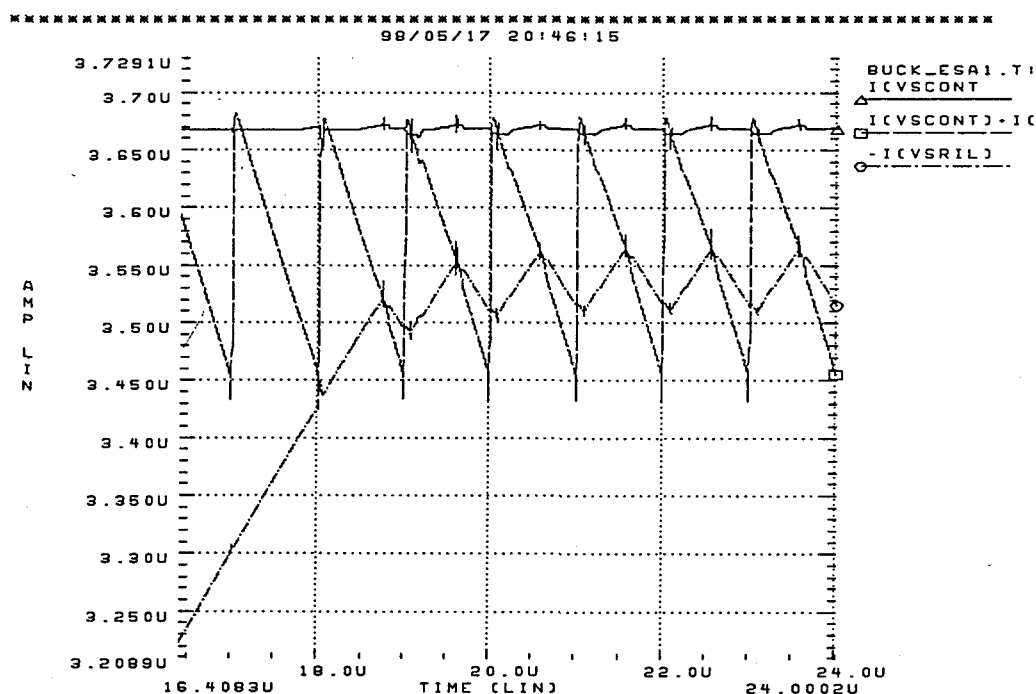
Como ejemplo de operación, la figura 3.6 muestra dos resultados de validación del funcionamiento del controlador MC² en modo corriente actuando en el lazo de realimentación del convertidor reductor. La figura 3.6a muestra, con una simulación HSPICE *post-layout* a nivel transistor, la acción de la ley de control de corriente. De forma específica, la primera subgráfica muestra la evolución en el dominio temporal de, respectivamente, la muestra monitorizada de la corriente del inductor, la corriente de referencia, así como la rampa de compensación en corriente. Las dos siguientes subgráficas muestran las formas de onda de la corriente de entrada al comparador de corriente así como la señal de tensión modulada en anchura de pulsos y asociada a los cambios de sentido (o cruces por cero) de la anterior corriente. Nótese que, a pesar de la conmutación de alta frecuencia, las transiciones de la señal modulada en el tiempo ON/OFF presentan un comportamiento abrupto. Por su parte, la subgráfica inferior muestra, superpuestas, distintas formas de onda que son relevantes para el controlador, a saber, la tensión en el nodo de integración que genera la rampa de compensación y la tensión en la resistencia de sensado de corriente.

Una representación ampliada de las formas de onda de la subgráfica superior se muestra, a su vez, en la figura 3.6b, en la que queda patente que el instante de conmutación $T_{ON} \rightarrow T_{OFF}$ es forzado por la acción de control cuando la corriente interna al controlador y proporcional a la corriente de inductor cruza con la corriente asociada a la referencia, afectada ésta de la rampa compensadora. Puede observarse que a una frecuencia de conmutación constante de 1MHz no se aprecia tiempo de retardo por parte del circuito de control ciclo a ciclo diseñado, a pesar de que los niveles de señal están por debajo de los 10 μ A –i.e. bajo consumo de potencia del circuito controlador-. Otros resultados llevados a cabo para el circuito propuesto corresponden a simulaciones Monte Carlo, con el fin de estudiar el efecto de los desapareamientos aleatorios de la tecnología de integración, que han mostrado un 100% de validez del comportamiento (entre 15 pruebas).

La figura 3.8 corresponde al *layout* completo del controlador, si bien que la circuitería de polarización está omitida. Se observa la inclusión de anillos de guarda, como técnica de *layout*, entre los circuitos de conmutación y los circuitos de procesamiento analógico para evitar acoplamientos de substrato, que pueden provocar realimentaciones parásitas. El área global del controlador es reducida –0.028mm²–, siendo el reducido consumo de potencia de 0.25mW.

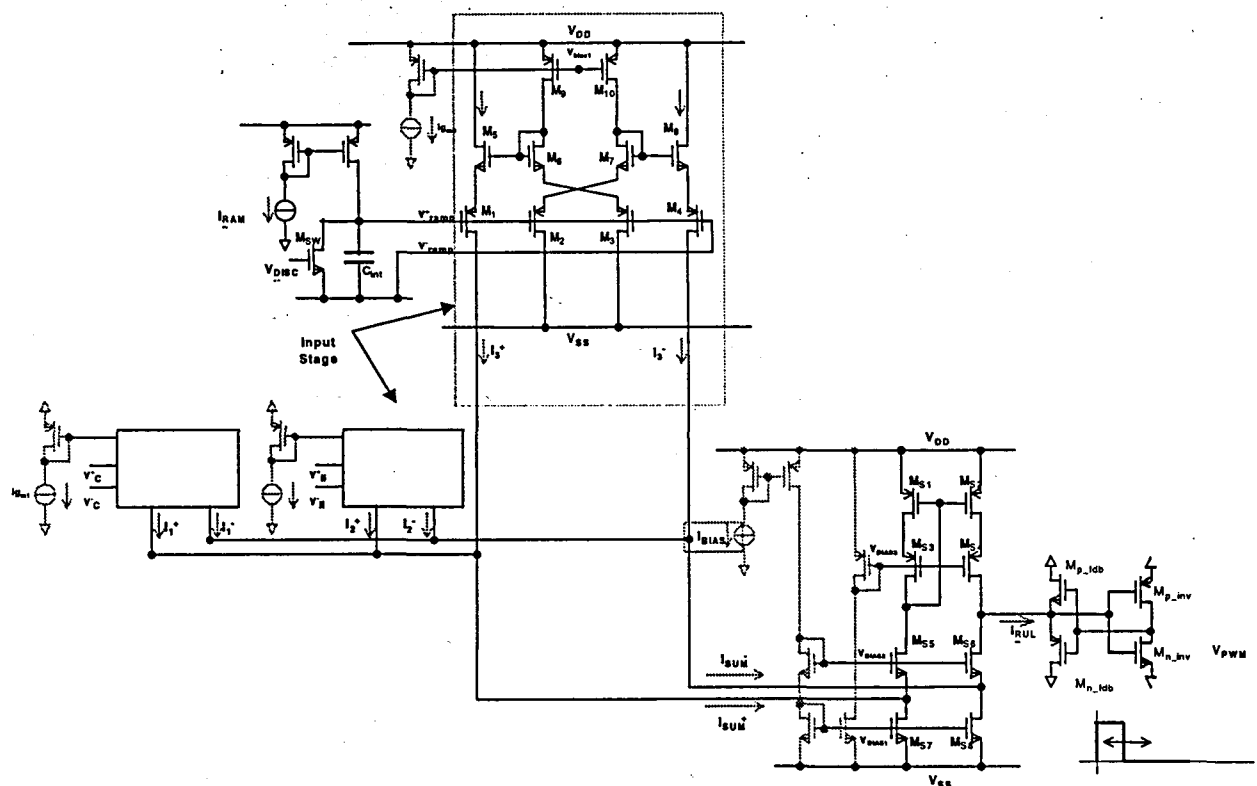


(a)



(b)

Figura 3.6. Resultados de simulación del controlador MC² en modo corriente operando en lazo cerrado de control sobre un convertidor reductor. (Véase el texto para la descripción)



| | M ₅₁₋₄ | M _{57,8} | M _{p,6db,a_inv} | M _{p,6db,a_inv} | M _{5W} | M ₁ | M ₂ | M ₃ | M ₄ | M ₅ | M ₆ | M ₇ | M ₈ |
|-------|-------------------|-------------------|--------------------------|--------------------------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| (W/L) | 50μ/0.8μ | 50μ/0.8μ | 2μ/0.8μ | 5μ/0.8μ | 10μ/0.8μ | 20μ/0.8μ | 17μ/0.8μ | 17μ/0.8μ | 20μ/0.8μ | 10μ/0.8μ | 8μ/0.8μ | 8μ/0.8μ | 10μ/0.8μ |

Figura 3.7 Diagrama a nivel transistor del controlador MC² de corriente VLSI.

Tamaños de los transistores.

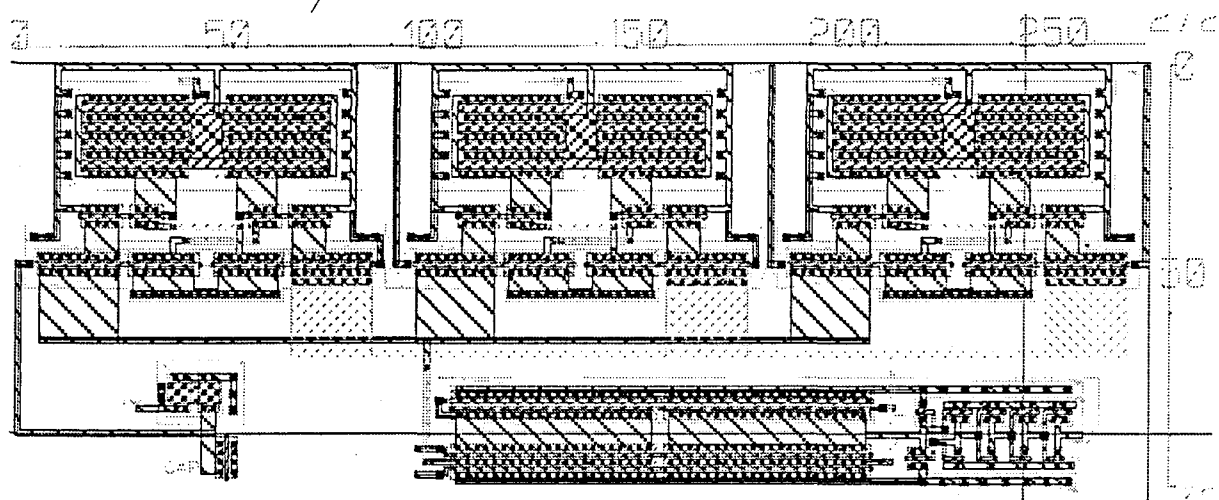


Figura 3.8 Muestra del *layout* del controlador MC²
en tecnología CMOS analógica 0.8μm estándar

Cabe concluir que en este apartado se ha descrito el diseño y la simulación de un circuito analógico CMOS, susceptible de ser integrado, y que implementa control de corriente máxima de inductor para convertidores conmutados. El uso de técnicas de procesamiento analógico en modo corriente ha resultado en una operación de baja potencia adecuada a altas frecuencias de conmutación aun para una tecnología estándar de $0.8\mu\text{m}$, siendo por tanto compatible y permitiendo su uso potencial con un regulador de potencia (o sus transistores de conmutación) *on-chip*, sobre el mismo sustrato que su propia carga en un contexto *smart power*. La continuación natural del trabajo es la fabricación del controlador a modo de ASIC con el fin de establecer un estudio de sus prestaciones reales, así como la inclusión de funciones auxiliares de control [POV88], asociadas a ciertos índices significativos de la corriente de inductor, para extender las prestaciones de los controles de corriente en convertidores conmutados DC-DC.

3.3 Diseño de un controlador de un ciclo mediante técnicas de procesamiento analógico en modo corriente

El control de un ciclo para convertidores conmutados, cuya contextualización histórica se ha desglosado en el capítulo I de introducción, constituye una reciente propuesta como método de control de elevadas prestaciones dinámicas. La idea subyacente en dicho método está asociada a la obtención de forma instantánea (ciclo a ciclo de conmutación) del valor medio de la señal pulsada de entrada en potencia, como medida de la variación del flujo energético de entrada a la célula de conversión conmutada [SME91].

En este sentido, cabe citar que el estudio se basará en su aplicación a un convertidor reductor, dado que el método teórico no ha sido suficientemente estudiado sobre un conjunto amplio de topologías, y que aquél presenta una clara separación entre la obtención de la señal pulsada de potencia, debida al conmutador, y la extracción del nivel medio de la misma mediante un filtro reactivo LC.

El método de control de un ciclo exhibe de forma inherente un comportamiento *deadbeat* (a semejanza de la operación con rampa de compensación óptima en control de corriente [POV88], si bien que el método bajo estudio no establece un control explícito de la corriente de inductor), lo que justifica su denominación.

Analíticamente, el nivel medio de la tensión de salida de un convertidor reductor, como el mostrado en la figura 3.9, esto es, el nivel de continua sobre el que se superpone el rizado debido a un filtrado imperfecto, corresponde exactamente al nivel medio de la señal pulsada de entrada al filtro LC, que corresponde a la señal en tensión sobre el diodo, según

$$\langle v_{out} \rangle = \langle v_d \rangle = \frac{1}{T_s} \int_0^{T_s} v_d(\tau) d\tau = \frac{1}{T_s} \int_0^{DT_s} v_d(\tau) d\tau \tag{3.9}$$

expresión en la que T_s es el periodo de conmutación, y D el ciclo de trabajo.

En base a la anterior descripción, el método de control de un ciclo implementa una ley equivalente a la expresión (3.9), integrando la tensión del diodo de conmutación, de forma que cuando dicha integral iguala a un nivel de referencia, la acción de control establece la transición $T_{ON} \rightarrow T_{OFF}$, así como una acción de *reset* (lo que implica la eliminación de la memoria del método de control); la acción cíclica de un reloj establece la transición $T_{OFF} \rightarrow T_{ON}$ en el caso de control a frecuencia constante.

La implementación de la anterior ley de control, si bien es directa, requiere de un integrador pulsado a la frecuencia de conmutación e insertado en el lazo de realimentación. La implementación en tensión considerada en las propuestas existentes en la literatura ([SME90], [SME91], [SME94], [SME96], [ZAI95]) se muestra en la figura 3.9. Cabe citar, a modo de inciso, que no existe ningún circuito integrado comercial o de aplicación específica para la implementación del control de un ciclo.

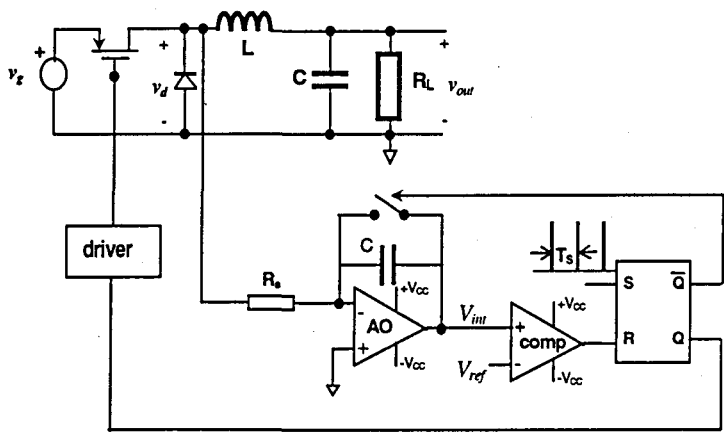


Figura 3.9 Ejemplo de controlador de un ciclo analógico en modo tensión para el control de un convertidor reductor [SME91]

Las elevadas prestaciones dinámicas del método, paradójicamente, y tal como los autores de la propuesta teórica revelan [SME94], [SME96] no pueden ser explotadas debido a las limitaciones en cuanto a tiempo de respuesta del circuito de control de la figura 3.9. El procesado debido a dicho circuito resulta en la siguiente ley de control:

$$\langle v_{out} \rangle = \langle v_d \rangle = \frac{1}{R_C C} \int_0^{T_s} v_d(\tau) d\tau = \frac{1}{R_C C} \int_0^{DT_s} v_d(\tau) d\tau = V_{ref} \tag{3.10}$$

Obsérvese que, si bien la anterior implementación permite establecer la acción dinámica de control de un ciclo (aunque a bajas frecuencias de conmutación), la igualdad en la expresión requiere del ajuste manual de la constante de integración analógica $1/R_C C$, lo que impide una regulación absoluta del valor medio de la tensión de salida.

Frente a estas limitaciones, la aplicación de la metodología de diseño en modo corriente permite implementar una ley de control que, si bien no es compleja en su definición, sí impone severos condicionantes en cuanto al tiempo de respuesta de su implementación en modo tensión

Las pautas de diseño de integradores en lazo abierto, y en particular en modo corriente estudiados en el apartado anterior 3.2.2.4 pueden aplicarse a la síntesis circuital del controlador de un ciclo en modo corriente.

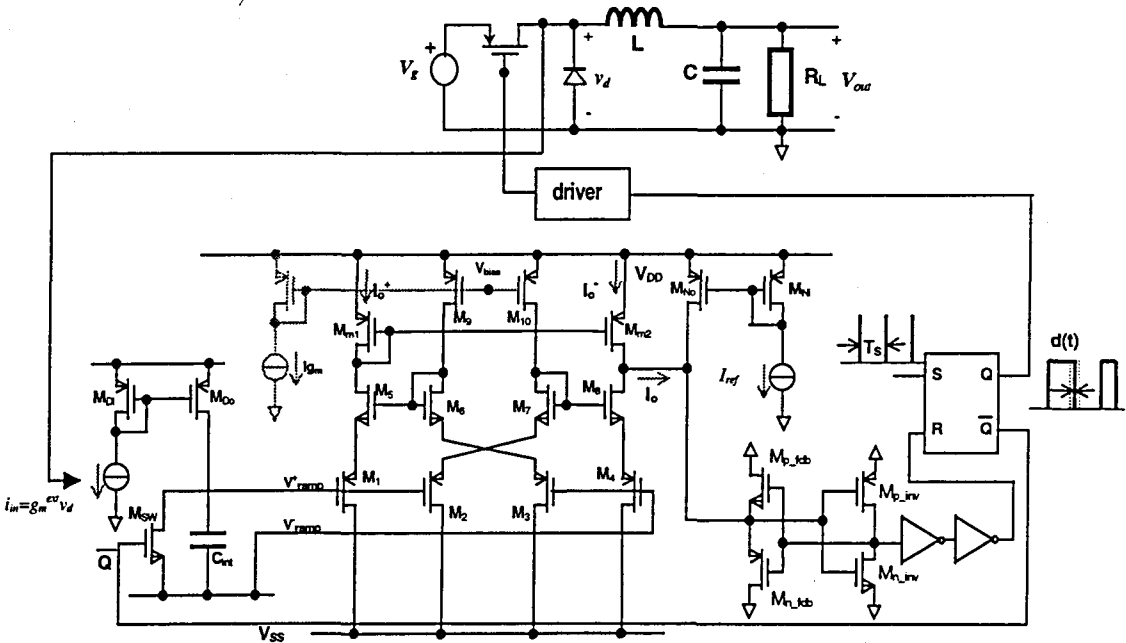


Figura 3.10 Controlador de un ciclo analógico en modo corriente para el control de un convertidor reductor

La estructura circuital resultante se muestra en la figura 3.10. Nótese que el núcleo de procesado que implementa la acción de integración y comparación es equivalente al circuito divisor modulador PWM (de rampa variable) con entradas en corriente descrito en el apartado 2.15.8 como etapa de salida del procesador *neurofuzzy*, dado que éste implementa precisamente el procesado requerido por la ley de control de un ciclo. El ASIC *neurofuzzy* incluye un conjunto de bits de configuración que, en particular, permiten aislar la operación del circuito divisor (con el objetivo de realizar medidas de dicha célula) lo que revierte, por tanto, en la disponibilidad de dicho circuito para estudiar su aplicación como controlador de un ciclo de altas prestaciones dinámicas realizado en modo corriente. La ecuación que rige el cambio de estado de la variable de control, expresada en función de los parámetros del circuito, deviene:

$$\frac{g_m}{C_{int}} \int_0^{DT_s} g_m^{ext} \cdot v_d(\tau) d\tau = I_{REF} \quad (3.11)$$

expresión en la que g_m corresponde a la transconductancia (variable electrónicamente vía I_{g_m}) del transconductor de Seevinck, y g_m^{ext} corresponde al parámetro de conversión V/I de un transconductor necesario para convertir las tensiones que aparecen en el diodo de potencia en corrientes internas al controlador. En este caso, si bien cualquier estructura de transducción puede ser considerada, y en particular un transconductor de Seevinck como el considerado para el diseño del controlador MC², se ha incluido en las simulaciones un tipo de transconductor, que será descrito en el posterior apartado 4.4.2.1, y cuya transconductancia corresponde a una resistencia externa que establece asimismo una adaptación de márgenes dinámicos.

Como muestra de los resultados de simulación a nivel global de transistor de la aplicación de la estructura de control de la figura 3.10, en los que se ha considerado un convertidor reductor de parámetros $L_f=0.48\text{mH}$, $C_f=30\mu\text{F}$ y $R_L=25\Omega$, la figura 3.11 corresponde a la respuesta del regulador bajo la acción de control de un ciclo. Dicha figura muestra, ante variaciones de la tensión de entrada al convertidor de tipo escalón $V_g=10\text{V} \rightarrow 12.5\text{V}$, cómo la estructura convertidora rechaza dichas variaciones del flujo energético de entrada, estabilizándose en un solo ciclo, si bien que con un comportamiento dinámico propio a la red lineal LC de segundo orden. Se incorpora asimismo, en dicha simulación, una variación del nivel de referencia

$V_{ref}=5V \rightarrow 7.5V$ que gobierna la corriente de referencia en la ecuación (3.11), observándose el seguimiento relativo por parte del regulador de dichas variaciones de consigna, así como un desajuste de niveles, introducido explícitamente para mostrar el efecto del desajuste de la constante de integración en (3.11) que implementa (3.9).

Las figuras 3.12 y 3.13 muestran, respectivamente, una ampliación del comportamiento anterior para la tensión de salida del regulador (subgráfica superior), la tensión del diodo de potencia (subgráfica intermedia) y la corriente interna al controlador (subgráfica inferior) de entrada al comparador de transimpedancia y que decide la acción de control. La figura 3.12 corresponde al instante de cambio de la tensión de entrada $V_g=10V \rightarrow 12.5V$, pudiéndose observar cómo la forma de onda de la tensión en el diodo se ajusta a la nueva entrada en su nivel, a la vez que se ajusta el ciclo de trabajo en un solo ciclo de conmutación, lo que corresponde a un cambio de la pendiente de la rampa interna al controlador (a modo de *deadbeat* adaptativo). La figura 3.13, a su vez, muestra cómo de forma instantánea el circuito de control ajusta la acción de control ante un cambio de consigna, reflejado en una variación del *offset* de desplazamiento de la señal en rampa de entrada al comparador de corriente.

Como complemento a la anterior simulación, que demuestra la funcionalidad del método de control ante una variación brusca de la tensión de entrada a la célula de conversión, la figura 3.14 muestra la acción del control de un ciclo ante una perturbación sinusoidal de 50Hz y 2V de pico a la entrada del regulador, que compensa dichas variaciones proporcionando un nivel de tensión de salida regulado.

Por último, y con el fin de explorar la operación en alta frecuencia del controlador de un ciclo en modo corriente diseñado, las siguientes simulaciones consideran una elevada frecuencia de conmutación $f_s=2MHz$ (habiendo considerado el ajuste necesario de escalado en los elementos reactivos del convertidor), que impediría la aplicación de circuitos en modo tensión.

Las figuras 3.15 y 3.16 reproducen, respectivamente, las condiciones de simulación de las figuras previas 3.11 y 3.12, demostrando el funcionamiento esperado de compensación en un solo ciclo a pesar de los requerimientos dinámicos impuestos sobre el circuito controlador.

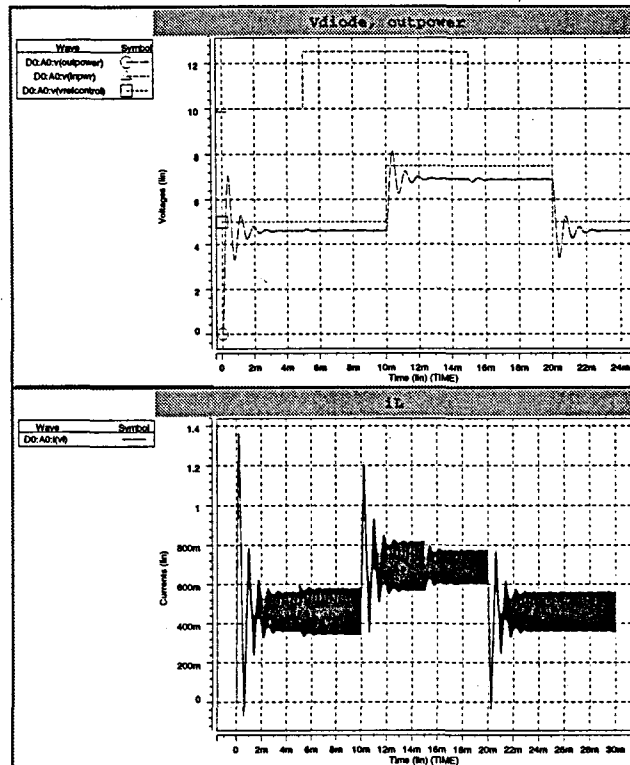


Figura 3.11 Resultados de simulación del controlador analógico de un ciclo en modo corriente. Respuesta global a un escalón en tensión de entrada $V_g=10V \rightarrow 12.5V$ y un escalón en la tensión de referencia $V_{ref}=5V \rightarrow 7.5V$ retrasado en el tiempo.

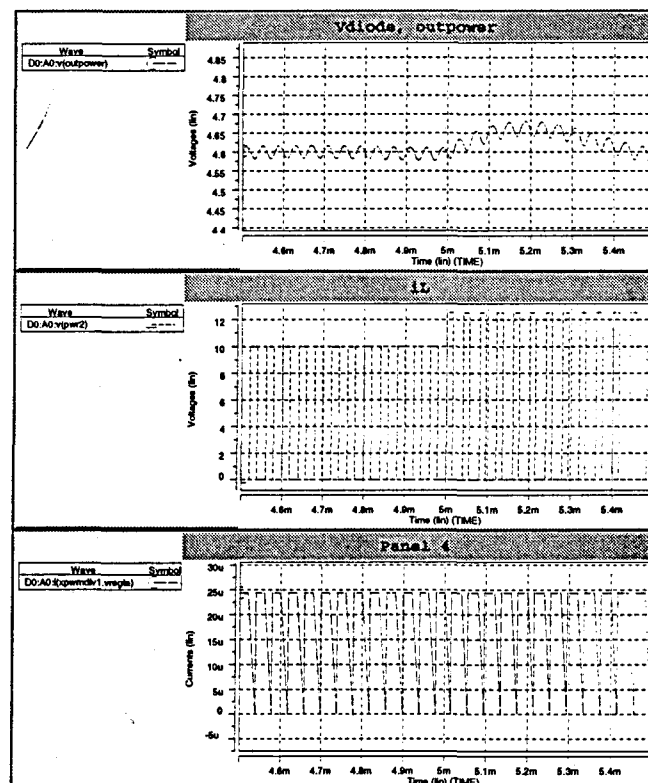


Figura 3.12 Resultados de simulación del controlador analógico de un ciclo en modo corriente. Respuesta detallada a un escalón en tensión de entrada $V_g=10V \rightarrow 12.5V$

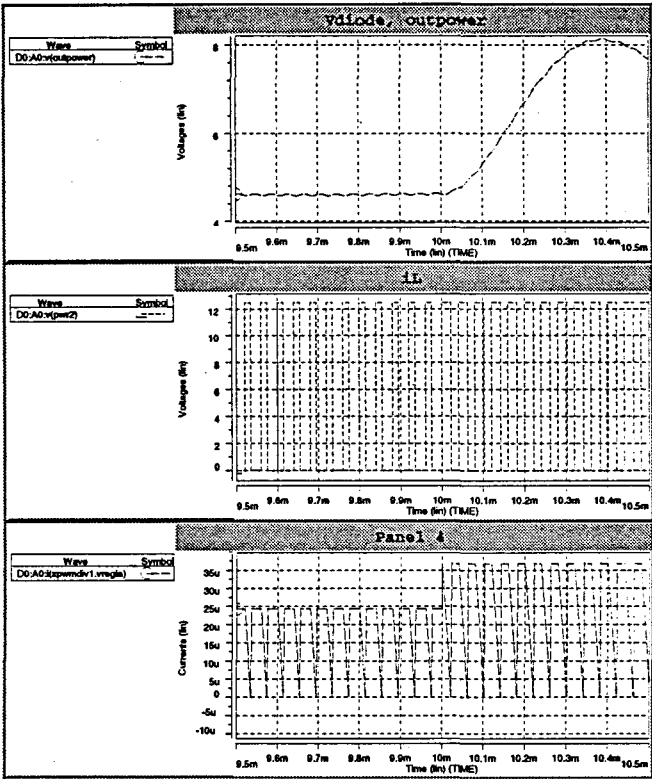


Figura 3.13 Resultados de simulación del controlador analógico de un ciclo en modo corriente. Respuesta detallada a un escalón en la tensión de referencia $V_{ref}=5V \rightarrow 7.5V$.

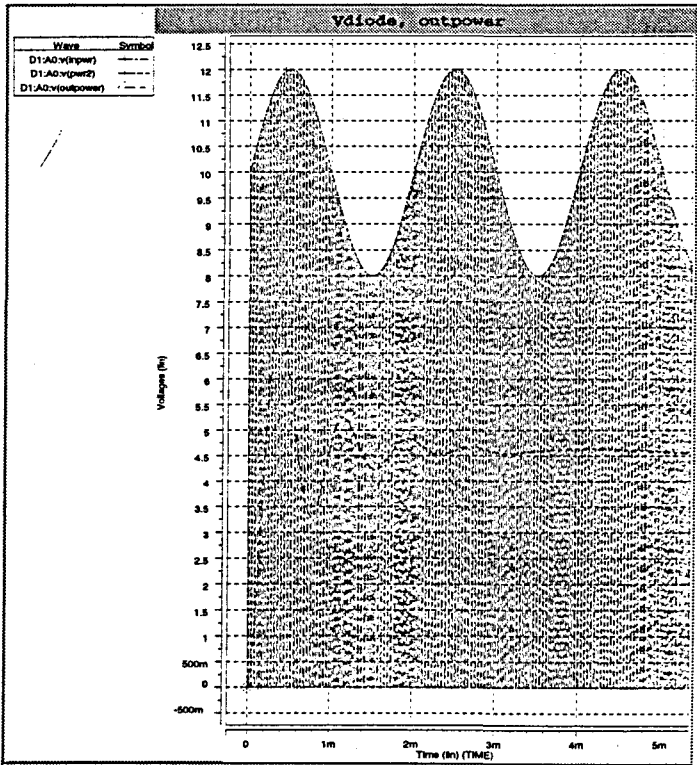


Figura 3.14 Resultados de simulación del controlador analógico de un ciclo en modo corriente. Respuesta frente a variaciones senoidales de tensión de entrada a 50Hz.

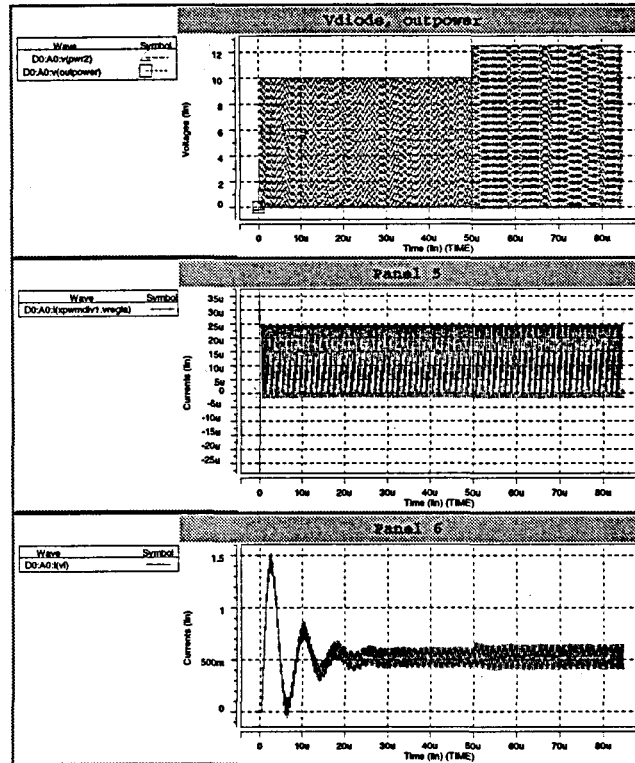


Figura 3.15 Resultados de simulación del controlador analógico de un ciclo en modo corriente. Respuesta global a un escalón en tensión de entrada $V_g=10V \rightarrow 12.5V$ ($f_s=2MHz$)

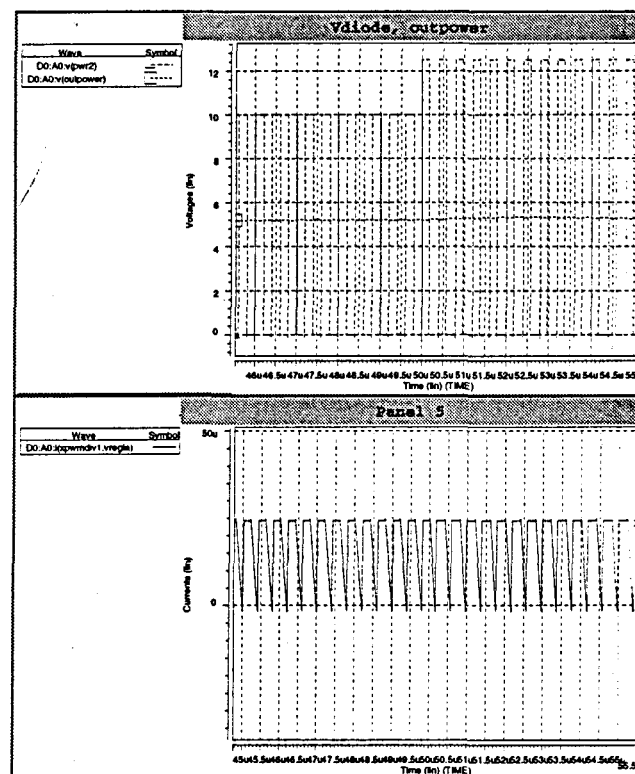


Figura 3.16 Resultados de simulación del controlador analógico de un ciclo en modo corriente. Respuesta detallada a un escalón en tensión $V_g=10V \rightarrow 12.5V$ ($f_s=2MHz$)

Como línea natural de extensión de la propuesta, cabe aprovechar la variabilidad electrónica de la transconductancia del integrador propuesto (que es utilizada en aplicaciones de sintonía automática de filtros $g_m C$) con el fin de establecer un lazo externo de tensión que ajuste la constante del integrador electrónico y que por tanto implemente la ley de control regida por la expresión (3.9) de forma exacta.

A modo de conclusión, en el caso del controlador de un ciclo, se ha puesto de manifiesto cómo la metodología de diseño analógico en modo corriente presentada en diseños previos (diseño de etapas de transducción, diseño de comparadores e integradores de corriente) desemboca directamente en una solución de implementación apropiada para un método, que si bien presenta prestaciones teóricas relevantes, y la implementación de la ley de control que lo describe no es circuitalmente compleja en baja frecuencia, sí deviene un problema circuital a las frecuencias usuales (y futuras) de operación de los convertidores conmutados DC-DC.